



浙江理工大学

《数字电子技术》 实验指导书

严国红 编

浙江理工大学信息学院

二〇二一年六月

目 录

第 1 章 数字电路实验基础知识	1
1.1 概述	1
1.2 实验的基本要求	1
1.3 数字集成电路的使用规则	3
1.4 数字电路中的常见故障检测	5
第 2 章 集成逻辑门电路	8
2.1 门电路的参数测试	8
2.2 集成门电路逻辑功能测试	11
第 3 章 组合逻辑电路	15
3.1 组合逻辑电路的设计	15
3.2 数据选择器及其应用设计	16
3.3 译码器器及其应用设计	20
第 4 章 时序逻辑电路	25
4.1 触发器功能测试	25
4.2 计数器及其应用设计	28
第 5 章 混合电路	33
5.1 555 定时器及其应用	33
5.2 D/A 转换与 A/D 转换	39
第 6 章 Multisim 在数字电路中的仿真应用	47
6.1 Multism 概述	47
6.2 Multisim 仿真流程和步骤	48
6.3 Multisim 仿真举例	54

第7章 数字电路综合设计.....	56
7.1 数字电路设计概述.....	56
7.2 彩灯循环控制器的设计.....	57
7.3 抢答器的设计.....	58
7.4 数字秒表的设计.....	59

第1章 数字电路实验基础知识

1.1 概述

数字电路实验是根据教学、生产和科研的具体要求进行电路设计、安装与调试的过程，它是一门试验理论，巩固所学理论知识，培养实际运用理论的能力，具有较强实践性的一门课程。通过数字电路实验，使学生正确掌握常用电子仪器的使用方法，了解其基本原理，逐步掌握数字电路从基本功能完成到系统实现的方法从而有效地培养学生理论联系实际和解决实际问题的能力，树立科学严谨的工作作风。

1.2 实验的基本要求

实验的基本过程包括：确定实验内容，选定最佳的实验方案和实验线路，拟出较好的实验步骤，选择合理的仪器设备和元器件，进行连接安装和调试，最后写出完整的实验报告。

1.2.1 实验预习

认真预习是做好实验的关键。预习好坏，不仅关系到实验能否顺利进行，而且直接影响到实验效果。预习应按实验预习要求进行，在每次实验前首先要认真复习有关实验的基本原理，掌握仪器性能特点及使用方法，对如何着手实验做到心中有数。同时，实验前写出一份预习报告，其内容包括：

(1) 绘出设计好的实验电路图，该图应该是逻辑图和连线图的混合，既便于连线，又能反映出电路原理，并在图中标出器件型号、使用的引脚号及元件数值，必要时还要有文字说明。

(2) 写出实验方法和步骤。

(3) 画好记录实验数据的表格和波形坐标。

(4) 列出元器件清单。

1.2.2 实验中的 EDA 仿真

在当今电子设计领域，EDA 仿真是一个十分重要的设计环节。通过 EDA 仿真技术，首先验证数字电路的实验结果，然后再用真实的元器件进行实际电路的安装和调试，避免了实际操作中元器件的损耗，使电路调试快捷、方便。同时，还能实

现数字系统结构或电路特性模拟及参数优化设计。

常见的仿真软件有 Multisim，它具备 SPICE 分析功能，并且可以对模拟与数字混合电路用虚拟工作台方式进行实时仿真，可以用虚拟的仪器仪表对电路模拟进行观测。Multisim 仿真模拟实验，其过程十分接近实际操作效果，元器件选择范围广，参数修改方便。Multisim 仿真流程图如图 1.1 所示。

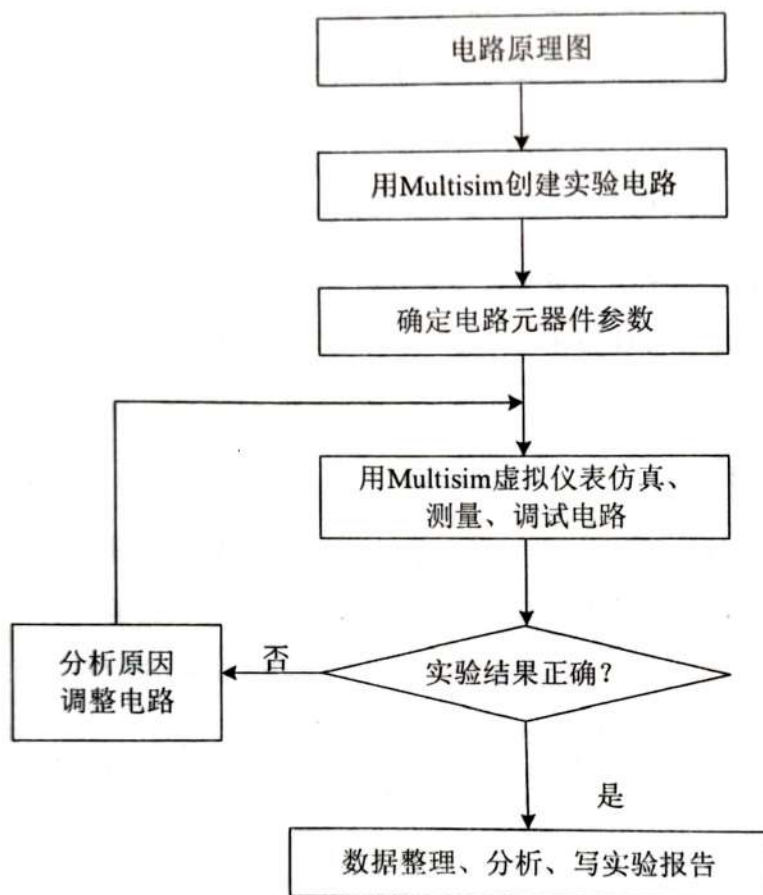


图 1.1 Multisim 仿真流程图

1.2.3 实验中的操作规范

正确的操作方法和操作程序，是顺利进行实验的保障。因此，要求每个操作步骤之前都要做到心中有数，即目的要明确。操作时既要迅速又要认真，应注意以下几点：

(1) 应调整好直流电源电压，使其极性和大小满足实验要求。调整好信号电源电压，使其大小满足实验要求。

(2) 搭接电路时，应遵循正确的操作步骤，即按照先接线后通电、做完后先断

电再拆线的步骤。

(3) 利用无焊接实验电路板(俗称面包板)插接电路时,要确保连接点接触良好和电路布局合理,为调试操作创造方便有力的条件,避免因接入测试探头而造成短路或其他故障。

(4) 在通电的情况下,不得拔、插(或焊接)器件,这些操作应在关闭电源后进行。

(5) 电路调试时应按照先静态、后动态的顺序进行。

(6) 仔细观察实验现象,完整准确地记录实验数据并与理论值进行比较分析。

(7) 实验完毕,应将实验台清理干净、摆放整齐。

1.2.4 实验报告的要求

实验报告是实验工作的全面总结。写实验报告的目的是培养学生对实验现象,数据进行分析和处理的能力,是今后从事技术工作时,编写技术报告或研究论文的一种基础性训练。一份合格的实验报告应条理清晰,简明扼要,字迹端正,文字、图、表规范,结论正确。

实验报告一般应包括如下内容。

(1) 实验目的;

(2) 实验原理;

(3) 实验内容,包括实验步骤简述,记录观察到的现象和测得的数据(一般应以表格形式列出),从示波器上记录的波形应画在坐标纸上。

(4) 实验数据的处理和必要的计算结果,有时还应包括误差分析,绘制实验曲线应画在坐标纸上,且符合规范。

(5) 对实验结果的分析和结论。

(6) 实验中的收获和体会、意见、看法、尚未解决的问题。

1.3 数字集成电路的使用规则

1.3.1 TTL 集成电路使用规则

(1) 拿到集成电路器件时,首先要认清定位标记,使集成块正面向上,缺口朝向实验者左边,然后将该器件安放在相同引脚数的实验箱插槽中,最后在按下插槽拔杆,锁紧集成块。

(2) 电源电压使用范围为 4.5~5.5V (针对 74LS 系列), 超过 5.5V 可能会损坏器件, 而低于 4.5 V, 器件的逻辑功能可能会不正常。实验中使用电源电压 VCC 为 +5V, 且电源极性绝对不允许错接。

(3) 限制输入端处理方法:

1) 悬空, 相当于正逻辑 1。对于一般小规模集成电路多余的输入端, 实验时允许悬空处理, 但易受外界干扰, 导致电路的逻辑功能不正常。因此, 中规模的集成电路所有闲置输入端最好按逻辑要求接入电路, 不宜采用悬空的处理方式;

2) 直接接电源电压 VCC, 串接 (1~10) 千欧的电阻到电源电压上或接至某一固定电压 (2.4~5V) 的电源上。

3) 若前级驱动能力允许, 可以与其他使用的输入端并接。

(4) TTL 电路输入端通过电阻接地, 电阻值的大小将直接影响电路所处的状态。一般情况下, 当 R 小于几百欧时, 输入端相当于逻辑 0; 当 R 大于几千欧时, 输入端相当于逻辑 1, 对于不同系列器件, 要求的阻值不同。

(5) TTL 集成电路输出端不允许并级联用 (集电极开路(OC)与非门和三态(3S)输出电路除外), 否则不仅会使电路逻辑功能混乱, 还会导致器件损坏。

(6) 输出端不允许直接接地或直接接 +5V 电源, 否则将损坏电器。有时为了使后级电路获得较高的输出电压 (例如 CMOS 输出电路), 允许输出端通过电阻 R (称为提升电阻) 接至 VCC, 一般取 $R=(3\sim5.11)$ 千欧。

1.3.2 CMOS 电路的使用规则

由于 CMOS 电路有很高的输入阻抗, 这给使用者带来一定的麻烦, 即外来的干扰信号很容易在一些悬空的输入端上感应出较高的电压, 以致损坏电器。CMOS 电路的使用规则如下:

(1) VDD 接电源正极, VSS 接电源负极 (通常接地), 不得反接。CC4000 系列的电源允许电压在 3~18V 范围内选择, 实验中一般要求使用 5~15V。

(2) 所有输入端一律不准悬空。闲置输入端的处理方法有两种:

1) 按照逻辑要求, 直接接 VDD (与非门) 或 VSS (或非门);

2) 在工作频率不高的电路中, 允许输入端并联使用。

(3) 输出端不允许直接与 VDD 或 VSS 连接, 否则将导致电器损坏。

(4) 在搭接电路, 改变电路连接或插、拔器件时, 均应切断电源, 严禁带电操

作。

(5) 焊接, 测试和储存时的注意事项:

- 1) 电路应存放在导电的容器内, 有良好的静电屏蔽;
- 2) 焊接时必须切断电源, 电烙铁外壳必须良好接地, 或拔下烙铁, 靠其余热焊接;
- 3) 所有的测试仪器必须良好接地。

1.4 数字电路中的常见故障检测

1.4.1 数字电路中的常见故障

在数字电路的实验中, 出现问题是难免的, 重要的是分析问题, 找到出现问题的原因, 从而解决它。通常, 有四个方面的原因造成错误: 器件故障, 接线错误, 设计错误和测试方法不正确。在查找故障过程中, 首先要熟悉经常发生的典型故障。

(1) 器件故障

器件故障是器件失效或器件接插问题引起的故障, 表现为器件工作不正常。若器件失效则要进行更换。器件接插问题, 如引脚折断或者器件的某个(或某些)引脚没插到插座中等, 也会使器件工作不正常。器件接插故障有时不易发现, 需要仔细检查, 判断器件失效的方法是用集成电路测试仪进行测试。需要指出的是, 一般的集成电路测试仪只能检测器件的某些静态特性, 对负载能力等动态特性和上升沿, 下降沿, 迟时间等特性不能测试。

(2) 接线错误

接线错误是最常见的错误。常见的接线错误包括: 没有接器件的电源和地; 连线与插孔接触不良; 连接线内部线断; 连线多接, 漏接, 错接; 接线过长, 过乱, 造成干扰。

接线错误造成的现象多种多样。例如, 器件的某个功能块不能工作或工作不正常, 器件不工作或发热, 电路中一部分工作状态不稳定等。解决方法大致包括: 熟悉所以器件的功能及其引脚号, 掌握器件每个引脚号的功能; 器件的电源和地一定要接对, 接好; 检查接线和插孔接触是否良好; 检查连线有无错接, 多接, 漏接; 检查连线中是否有断。

(3) 设计错误

设计错误会造成与预想的结果不一致,原因是对实验要求没有吃透,或者对所
用器件的原理没有掌握好。因此,实验前一定要理解实验要求,掌握实验线路原理,
精心设计。初始设计完成一半应对设计进行优化,最后画好逻辑图及接线图。

(4) 测试方法不正确

如果不发生前面所述三种错误,实验一般会成功。但有时测试方法不正确也会
引起观测错误。例如,一个稳定的波形,如果用示波器观测,而示波器没有调好同
步,会造成波形不整的假象,因此要学会正确使用仪器仪表。在数字电路实验中,
尤其要学会正确使用示波器。在对数字电路测试过程中,由于测试仪器,仪表加到
被测电路上后,对被测电路来说相当于一个负载,因此测试过程中也有可能引起电
路本身工作状态的改变,这一点应该引起足够注意。不过,在数字电路实验中,这
种现象很少发生。

1.4.2 数字电路中的常见故障检测

实验中发现结果与预期不一致时,不要慌乱,应仔细观察现象,冷静思考分析。
首先检查仪器,仪表的使用是否正确。在排除错误使用仪器、仪表的前提下,按照
逻辑图和接线图逐级查找,通常从发现问题的地方,逐级向前测试,直到找出故障
的初始位置。在故障的初始位置处,首先检查连线是否正确。实验故障绝大部分是
由于接线错误引起的,因此检查一定要认真、仔细。确认接线无误后,检查器件引
脚是否正确插进插座,有无引脚折断、弯曲、错插问题。确认无上述问题后,取下
器件测试,以检查器件好坏,或者直接换一个新器件。如果器件和接线都正确,则
需考虑设计问题,具体方法如下述。

(1) **查线法:** 由于在实验中大部分故障都是由于布线错误引起的,因此,产生
故障后,应着重检查有无漏线、错线,导线与插孔接触是否可靠,集成电路是否插
牢、是否插反等。

(2) **测量法:** 用万用表直接测量各集成块的 V_{cc} 端是否加上电源电压,然后
把输入信号、时钟脉冲等加到实验电路上,观察输出端有无反应。针对某一故障状
态,用万用表测试各输入/输出端的直流电平,从而判断是否由于插座板、集成块
引脚连接线等原因造成故障。

(3) **信号注入法:** 在电路的每一级输入端加上特定信号,观察该级输出响应,
从而确定该级是否存在故障,必要时可以切断周围连线,避免相互影响。

(4) **信号寻迹法**: 在电路的输入端加上特定信号, 按照信号流向逐级检查是否有响应, 必要时输入不同信号进行测试。

(5) **替换法**: 对于多输入端器件, 如有多余端则可调换令一输入端试用, 必要时可更换器件。

(6) **动态逐级跟踪检查法**: 对于时序电路, 可输入时钟信号, 按信号流向依次检查各级波形, 直到找出故障点为止。

(7) **断开反馈线检查法**: 对于含有反馈线的闭合电路, 应该设法断开反馈线进行检查, 或进行状态预置后再检查。

以上检查故障的方法, 是指在仪器正常工作的前提下进行的, 如果实验时电路功能测不出来, 则应首先检查供电, 若电源电压已加上, 便可把有关输出端直接接到 0—1 显示器上检查, 若逻辑开关无输出或单次 CP 无输出, 则是开关接触不好或内部电路坏了, 一般是集成器件坏了。

需要强调指出, 实验经验对于检查故障是大有帮助的, 只要充分预习, 掌握基本理论和实验原理, 就不难用逻辑思维的方法较好的判断和排除故障。

第2章 集成逻辑门电路

2.1 门电路的参数测试

2.1.1 实验目的

- (1) 掌握 TTL 集成门电路的主要参数及测试方法。
- (2) 通过门电路的参数测试, 更好地了解门电路的电气性能和特点。
- (3) 掌握常用 TTL 门电路的 EDA 仿真以及故障诊断方法。

2.1.2 实验原理

集成逻辑门电路是数字电路的基础, 常用的有两大类: 一类是以晶体三极管为核心组成的 TTL 电路。另一类是以场效应管为核心组成互补型 MOS 集成电路即 CMOS 电路。两者的应用都很广泛。为了较好地使用它们, 对它们的主要电气特性必须清楚。

1、TTL 与非门的主要参数

本实验采用 TTL 双极型数字集成逻辑门器件 74LS00, 它有四个 2 输入与非门, 封装形式为双列直插式, 引脚排列如图 2.1 所示, 其中 AB 为输入端, Y 为输出端, 输入输出关系为 $Y = \overline{AB}$ 。TTL 逻辑门电路主要参数有以下几个:

(1) 电压传输特性

与非门的输出电压 U_o 随输入电压 U_i 的变化用曲线描绘出来, 这曲线就是与非门的电压传输特性。通过此曲线可知道与非门电路的一些重要参数, 如输出高电平 V_{OH} 、输出低电平 V_{OL} 、阈值电平 V_{TH} 。

(2) 输入特性, 输出特性

输入特性曲线: 就是输入电流随输入电压变化的曲线。一般情况下, 输入电压限止在 5.5V 以下, 当输入电压在 1.5V-5.5V 之间变化时, 输入电流 I_i 基本保持不变, 称为输入高电平电流 I_{IH} , 其最大值为 $40\mu A$ 左右, 当输入电压 0V 和 1.5V 之间变化时, 电流开始从输入端流出, 且随输入电压的增大而迅速减小 (绝对值), 称为输入低电平电流 I_{IL} , 约为 -1mA; 当输入电压为 0 时, 称为输入短路电流 I_{IS} ; I_{IS} 的数值要比 I_{IL} 的数值略大一点, 在作近似分析计算时, 经常用手册上给出的 I_{IS} 近似代替 I_{IL} 使用。输出特性曲线: 就是输出电压和负载电流的关系曲线。分为高电平输出特

性和低电平输出特性。当逻辑门输出高电平时，这时输出电压和负载电流的关系称为高电平输出特性，74 系列门电路的运用条件规定，输出高电平时，最大负载电流不能超过 0.4mA。当逻辑门输出低电平时，这时输出电压和负载电流的关系称为低电平输出特性，输出低电平时，最大负载电流不能超过 16mA。

(3) 扇出系数 N

扇出系数 N 是指反相器可以驱动同类型反相器的最大数目，这个数值也叫做门电路的扇出系数一般要求 $N > 8$ 。

(4) 平均传输延迟时间性 tpd

在 TTL 电路中，输出电压波形滞后于输入电压波形的时间叫做传输延迟时间。把脉冲上升沿延迟时间和下降沿延迟时间的平均数称为平均传输延迟时间，这个参数表示门的开关速度，愈小表示开关速度越快。一般为几纳秒或几十纳秒。产品手册上可查出。

2、CMOS 与非门的主要参数

CMOS 与非门主要参数的定义和 TTL 电路相仿，从略。参数在测试的时候，多余输入端的处理上与 TTL 电路不同，一般情况下，多余的输入端口接电源或者接地（根据芯片逻辑功能要求），但在稳定性要求极高的电路中，多余的输入端口还要接保护电路。

2.1.3 实验仪器和元器件

- 1、数字电路实验箱
- 2、数字万用表
- 3、集成电路：74LS00
- 4、元件：1K 精密电位器，220Ω
- 5、PC 机和 Multisim 仿真软件

2.1.4 实验内容

(1) TTL 与非门的电压传输特性测试

用静态法测试：按图 2.2 画出测试电路， $U_o = f(U_i)$ ，改变 U_i 测出对应的 U_o 之值，将结果填如下表，并用方格纸画出特征曲线。

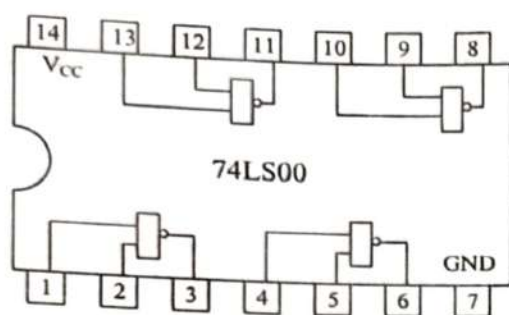


图 2.1 74LS00 引脚排列

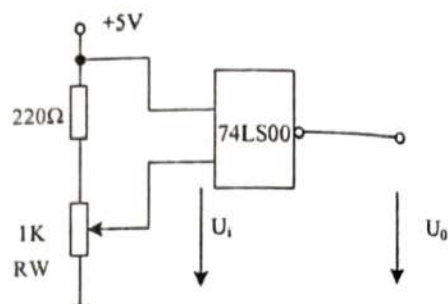


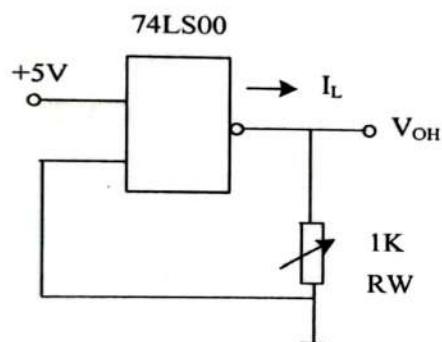
图 2.2 电压传输特性测试

表 2.1 与非门电压传输特性测试表

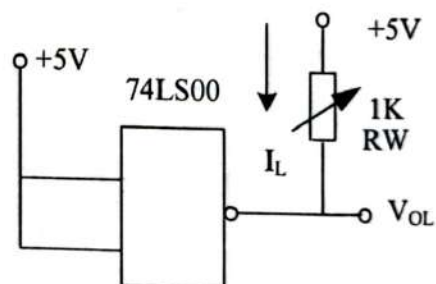
U_i (V)	0.2	0.4	0.6	0.8	1.0	1.1	1.25	1.3	1.4	1.5	1.6	1.7	1.8	2.0
U_o (V)														

(2) TTL 与非门的输出特性参数测试

见图 2.3 $U_{OL} = f(I_{OL})$ 和 $U_{OH} = f(I_{OH})$ 测试电路, 分别测出各参数填入表 2.2 中, 并根据所测得的数据制出特性曲线 (利用方格纸)。



(a) 与非门高电平输出



(b) 与非门低电平输出

图 2.3 与非门输出特性测试

表 2.2 与非门输出特性参数测试表

R_W (Ω)		1000	470	330	220	110	I_L 计算
输出 高电平	V_{OH} (V)						$I_L = \frac{V_{OH}}{R_W}$
	I_L (mA)						
输出 低电平	V_{OL} (V)						$I_L = \frac{5 - V_{OL}}{R_W}$
	I_L (mA)						

(3) 用 Multisim 仿真软件设计 TTL 逻辑门电路的传输时延测试电路 t_{pd} ，并用软件仿真该电路求其传输时延 t_{pd} 。

2.1.5 思考题

- 1、实验用 TTL74LS 系列集成电路电源电压的范围是多少？
- 2、对于 TTL 门电路，输入端悬空相当于什么电平？多余的输入端，在实际接线中应如何处理？

2.2 集成门电路逻辑功能测试

2.2.1 实验目的

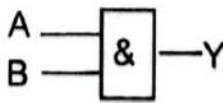
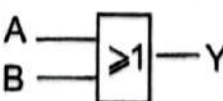
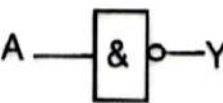
- (1) 熟悉 TTL 门电路、CMOS 门电路及 TTL 集电极开路门（OC 门）的逻辑功能和测试方法。
- (2) 掌握 TTL 三态输出门的逻辑功能及应用。
- (3) 掌握常用 TTL 门电路的 EDA 仿真以及故障诊断方法。

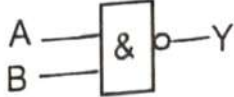
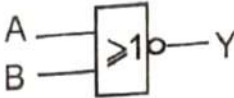
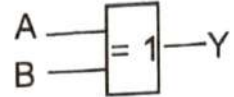
2.2.2 实验原理

1、集成门电路逻辑功能分类

用以实现基本逻辑运算和复合逻辑运算的单元电路通称为门电路。常用的门电路在逻辑功能上有，与门、或门、非门、与非门、或非门、异或门等几种，其逻辑符号、表达式、特点见表 2.3。

表 2.3 常用门电路逻辑功能表

名称	表达式	逻辑符号	特点
与 门	$Y=A \cdot B$		有“0”得“0” 全“1”得“1”
或 门	$Y=A+B$		有“1”得“1” 全“0”得“0”
非 门	$Y = \overline{A}$		有“0”得“1” 有“1”得“0”

与非门	$Y = \overline{A \cdot B}$		有“0”得“1” 全“1”得“0”
或非门	$Y = \overline{A + B}$		有“1”得“0” 全“0”得“1”
异或门	$Y = A \oplus B$		相同得“0” 不同得“1”

2、三态输出门电路 (TS 门)

三态输出门是在普通门电路的基础上附加控制电路而构成的。一般门电路的输出只有高、低电平两种状态，但三态门电路的有三种输出状态，即输出高电平，输出低电平和高阻输出状态。

三态输出门按逻辑功能及控制方式可分为几种不同的类型。本实验用 74LS125 三态输出总线缓冲器，其引脚排列如图 2.4 所示。使能控制端为 \overline{E} ，当 $\overline{E}=0$ 时为正常工作状态，实现 $Y=A$ 的逻辑功能； $\overline{E}=1$ 时为禁止状态，输出 Y 呈高阻状态。高阻态时，电路与负载之间相当于开路。输出端对地电阻和对电源端电阻都近似为无穷大。

三态门输出端可以并联使用，实现总线连接。三态门驱动能力强，开关速度快，在中大规模集成电路中广泛采用三态输出电路，作为计算机和外围电路的接口电路。图 2.5 是三态门用于总线传输，要注意的是，使用时只能有一个三态门处于工作状态，其余的必须处于高阻状态。要不将出现与普通 TTL 门“线与”运用时同样的问题。

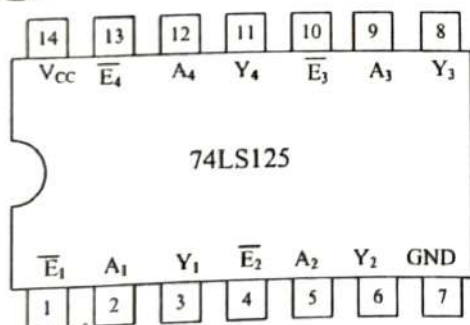


图 2.4 74LS125 引脚排列

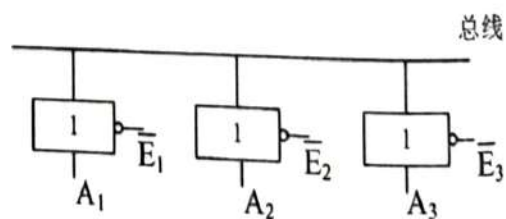


图 2.5 三态门用于总线传输

2.2.3 实验仪器和元器件

- 1、数字电路实验箱
- 2、数字万用表
- 3、集成电路：74LS00、74LS125
- 4、双踪示波器
- 5、PC 机和 Multisim 仿真软件

2.2.4 实验内容

1、三态门 74LS125 功能测试

(1) 三态门逻辑功能测试，选用 74LS125 芯片内的任何一个门，画出测试线路，测试其逻辑功能并将结果填入表 2.4 中。

(2) 三态门总线连接测试，选用 74LS125 芯片内的任意三个门，画出测试线路，依照表 2.5 所给的条件进行测试，并将结果填入表中。

表 2.4 三态门逻辑功能测试




输入 A	控制 \overline{E}	理论输出 Y	实际输出 Y
0	0		
1	0		
	0		
	1		

表 2.5 三态门总线连接测试

输入	控制			理论输出 Y	实际输出 Y
	\overline{E}_1	\overline{E}_2	\overline{E}_3		
A ₁ 	0	1	1		
A ₂ 0	1	0	1		
A ₃ 1	1	1	0		

2、用 TTL 集成块的与非门实现或门，要求画出电路图，并将输入、输出的逻辑关系填入表 2.6 中。

3、用 TTL 集成块的与非门实现异或门，要求画出电路图，并将输入、输出的逻辑关系填入表 2.6 中。

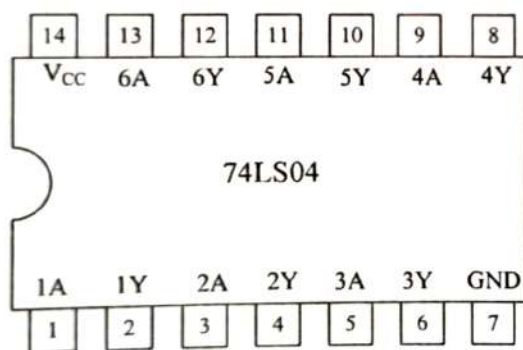
表 2.6

输入		理论输出		实际输出	
A	B	或门	异或门	或门	异或门
0	0				
0	1				
1	0				
1	1				

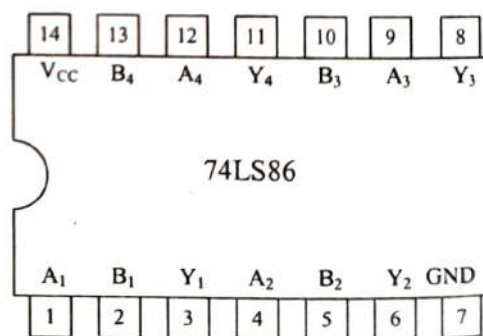
2.2.5 思考题

1、说明各类门电路在逻辑功能上的区别？怎样判断门电路的逻辑功能是否正常？

2、在用三态门实现三路信号分时传递的总线实验中，如果同一时刻有两个或两个以上的三态门的控制端处在使能有效状态，将会出现什么后果？



74LS04 引脚排列



74LS86 异或门引脚排列

第3章 组合逻辑电路

3.1 组合逻辑电路的设计

3.1.1 实验目的

- (1) 掌握组合逻辑电路设计的一般步骤。
- (2) 掌握用 TTL 基本门电路进行组合电路设计的方法。
- (3) 学会如何查找线路的故障。

3.1.2 实验原理

中小规模组合逻辑电路设计的设计流程如图 3.1 所示, 设计步骤如下:

1、进行逻辑抽象

在大多数情况下, 提出的设计要求是用文字描述的一个具有一定因果关系的事件。这时就需要通过逻辑抽象的方法, 将实际问题转化为逻辑问题, 列出真值表。

2、写出逻辑函数式

为便于对逻辑函数进行化简和变换, 需要把真值表转换为对应的逻辑函数式。

3、选定器件的类型

为了产生所需要的逻辑函数, 应该根据对电路的具体要求和器件的资源情况决定采用哪一种类型的器件。

4、将逻辑函数化简或变换成适当的形式

为获得最简单的设计结果, 应将函数式化成最简形式, 如果对所用器件的种类有附加的限制, 则还应将函数式变换成与器件种类相适应的形式。

5、画出逻辑电路

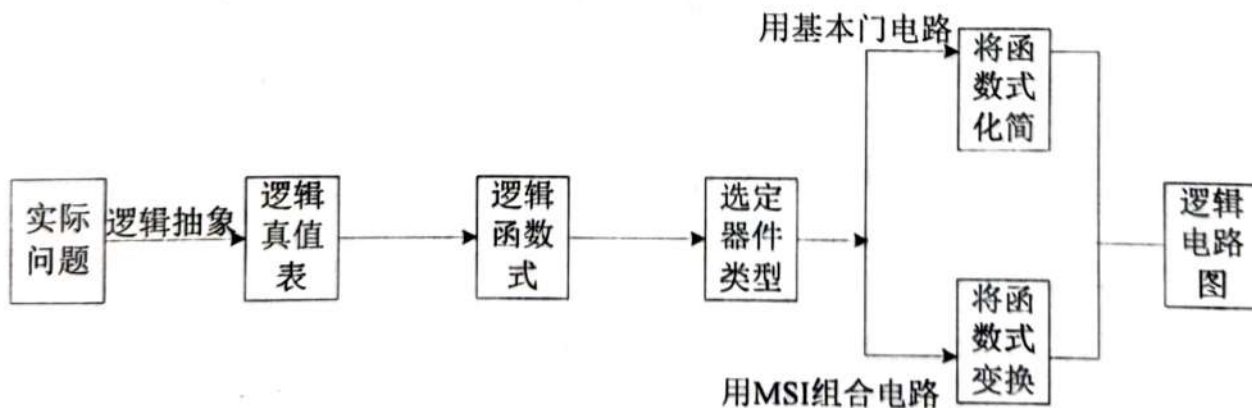


图 3.1 中小规模组合逻辑电路的设计流程框图

3.1.3 实验仪器和元器件

- 1、数字电路实验箱。
- 2、数字万用表。
- 3、集成块若干：74LS00、74LS04、74LS86。
- 4、PC 机和 Multisim 仿真软件。

3.1.4 实验内容

- 1、用 74LS00 与非门设计一个报警控制电路。

某设备有开关 A、B、C，具体执行时要求只有开关 A 接通的条件下，开关 B 才能接通，开关 C 只有在开关 B 接通的条件下才能接通。违反这一规则，发出报警信号。设计一个由与非门组成的能实现这一功能的报警控制电路。

- 2、设计一个路灯控制电路。

用 74LS86 和 74LS00 设计一个路灯控制电路。当总开关闭合时，安装在三个不同地方的三个开关都能独立地控制灯的亮或灭；当总电源开关断开时，路灯不亮。

- 3、设计一个一位全加器。

用异或门（74LS86）和与非门（74LS00）实现全加功能。A、B 为加数， C_i 为低位来的进位，S 为和的输出， C_o 为向高位的进位。按照二进制码的顺序变化作为输入，用万用表直流电压档测量输出，将输出电压值记录下来，填入自拟的表格中。

3.1.5 思考题

- 1、什么是冒险现象，如何判断一个组合逻辑电路中是否存在冒险现象？
- 2、在出现冒险现象的电路输出端，串接两个非门电路能消除冒险现象吗？试分析是否合乎逻辑，并在实验中验证。

3.2 数据选择器及其应用设计

3.2.1 实验目的

- 1、掌握数据选择器的设计方法和逻辑电路的测试方法。
- 2、掌握数据选择器的逻辑功能和特点，应用数据选择器设计电路。
- 3、通过电路仿真进一步了解各类数据选择器的功能。

3.2.2 实验原理

数据选择器 (Multiplexer) 又称多路开关, 是一类重要的组合逻辑部件, 它可以实现从多路数据传输中选择任何一路信号输出, 选择的控制由专列的端口编码决定, 称为地址码, 数据选择器可以完成很多的逻辑功能, 例如函数发生器、桶形移位器、并串行转换器、波形发生器等。

数据选择器为目前逻辑设计中应用十分广泛的逻辑部件, 它有 2 选 1、4 选 1、8 选 1、16 选 1 等类型。数据选择器的电路结构一般由与或门阵列组成, 也有传输门开关和门电路混合组成的。常见的有内部有两个完全独立的 4 选 1 数据选择器 74LS153 和 8 选 1 数据选择器 74LS151。

(1) 双 4 选 1 数据选择器 74LS153

所谓双 4 选 1 数据选择器就是在一片集成芯片上有两个 4 选 1 数据选择器, 管脚图及逻辑功能如下:

A_1 、 A_0 为选择输入两个选择器共用。 \overline{ST} 、 D_3-D_0 、 Y 分别为选通输入, 数据输入和输出各自独立。

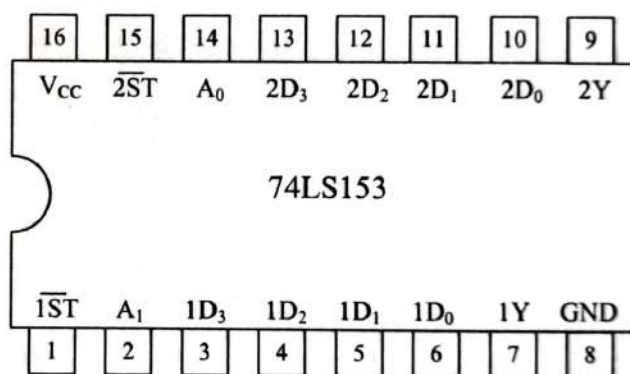


图 3.2 74LS153 引脚图

表 3.1 74LS153 逻辑功能表

数据输入	选择输入		选通	输出
D_3-D_0	A_1	A_0	ST	Y
	X	X	1	0
	0	0	0	D_0
	0	1	0	D_1
	1	0	0	D_2
	1	1	0	D_3

(2) 8 选 1 数据选择器 74LS151

74LS151 为互补输出的 8 选 1 数据选择器，管脚图及逻辑功能如下：

A_1 、 A_0 为选择输入， \overline{ST} 为选通输入， D_7 — D_0 为数据输入， Y 、 \overline{W} 为互补输出。

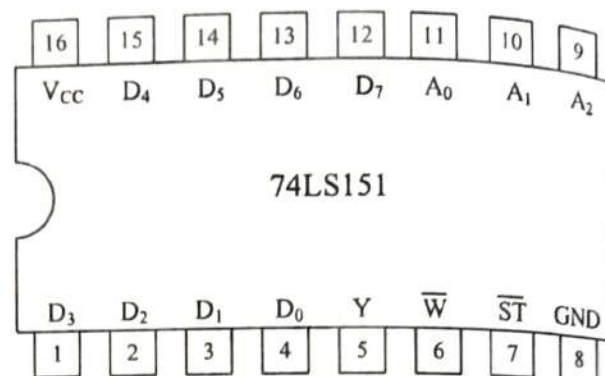


图 3.3 74LS151 引脚图

表 3.2 74LS151 逻辑功能表

数据输入	选择输入			选通	输出	
D_7 — D_0	A_2	A_1	A_0	ST	Y	\overline{W}
	X	X	X	H	L	H
	0	0	0	0	D_0	$\overline{D_0}$
	0	0	1	0	D_1	$\overline{D_1}$
	0	1	0	0	D_2	$\overline{D_2}$
	0	1	1	0	D_3	$\overline{D_3}$
	1	0	0	0	D_4	$\overline{D_4}$
	1	0	1	0	D_5	$\overline{D_5}$
	1	1	0	0	D_6	$\overline{D_6}$
	1	1	1	0	D_7	$\overline{D_7}$

3.2.3 实验仪器和元器件

- 1、数字电路实验箱
- 2、数字万用表
- 3、集成块若干：74LS00、74LS151、74LS153。
- 4、PC 机和 Multisim 仿真软件。

3.2.4 实验内容

1、数据选择器的 EDA 仿真

数据选择器 74LS151 的功能如表 3.2 所示。数据选择器电路仿真分析可以选用示波器，也可以用逻辑分析仪。逻辑分析仪可以同步记录和显示 16 路逻辑信号，常用于数据逻辑电路的时序分析和大型数字系统的故障分析。

搭建的数据选择器仿真电路如图 3.4 所示。其中 A、B、C 选择数据段均设为“1”。7 脚为选通输入端，接地。D7 数据输入端接一个方波周期信号 V1。逻辑分析仪的第一路接数据信号输入端 D7，第二路接数据选择的输出端 Y。

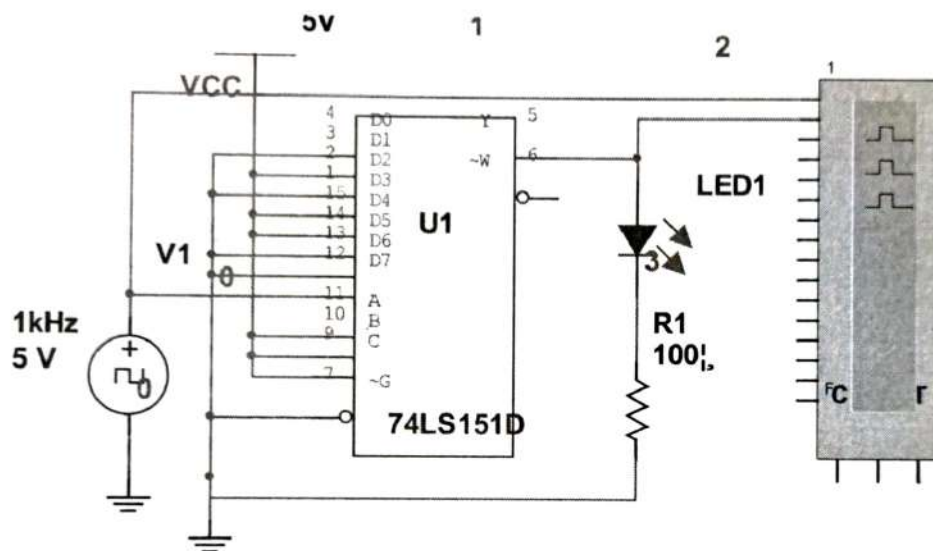


图 3.4 数据选择器仿真电路

双击逻辑分析仪图标，打开其显示面板，按下仿真开关，我们看到逻辑分析仪上显示的第一路和第二路的信号波形如图 3.5 所示。数据选择器输出端的信号与数据输入端的信号完全一致。

2、数据选择器的应用

① 用 74LS153 产生三变量逻辑函数 $Z=AB+C$ ，写出直值表，画出设计逻辑图，并经实验验证。（可先用 Multisim 软件进行仿真）

② 用 8 选 1 数据选择器 74LS151 实现函数 $F=A \oplus B \oplus C$ 写出真值表，画出设计逻辑图，并经实验验证。（可先用 Multisim 软件进行仿真）

③ 用双 4 选 1 数据选择器 74LS153 及必要的门电路设计一位全加器。写出真值表，画出设计逻辑图，并经实验验证。（可先用 Multisim 软件进行仿真）

④ 用一片 74LS153 和必要的门电路实现一个输血者血型和受血者血型符合输

血规则的电路，输血规则是，A 型血能输给 A、AB 型，B 型血能输给 B、AB 型，AB 型血只能输给 AB 型，O 型血能输给所有四种血型。设输血者血型编码是 X_1X_2 ，受血者血型编码是 X_3X_4 ，符合输血血型规则时，电路输出 F 为 1，否则为 0。写出真值表，画出设计逻辑图，并经实验验证。（可先用 Multisim 软件进行仿真）

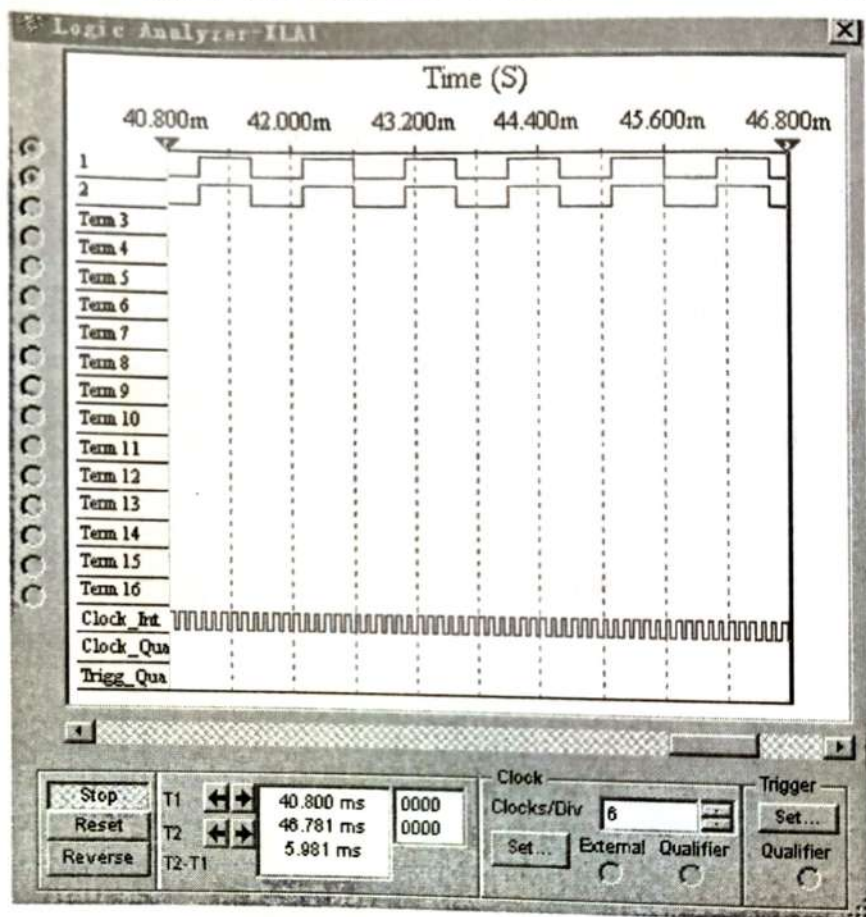


图 3.5 逻辑分析仪显示面板

3.2.5 思考题

- 1、说明数据选择器的地址输入端和选通端各有什么作用？
- 2、数据选择器地址端的权重高低与被选函数输入数据有什么联系？
- 3、如何用 74LS151 实现 10110111 序列信号？

3.3 译码器及其应用设计

3.3.1 实验目的

- 1、熟悉译码器的工作原理和使用方法。
- 2、掌握中规模集成译码器的逻辑功能及应用。
- 3、熟悉数码管的工作原理及使用方法。

3.3.2 实验原理

1、译码器

常用译码器电路有二进制译码器（有称变量译码器）、二—十进制译码器（有称码制变换译码器）、显示译码器三类。

（1）二进制译码器的输入是一组二进制代码，输出是一组与输入代码一一对应的高、低电平信号。有 n 个输入代码，可组成 2^n 个状态。因此译码器就有 2^n 个对应的输出。常用的二进制译码器 2-4 线译码器（74LS139）、3-8 线译码器（74LS138）、4-16 线译码器（74LS154）。

（2）二—十进制译码器的逻辑功能是将输入 BCD 码的 10 个代码译成 10 个高低电平输出信号，常用的有 74LS42，

（3）显示译码器是将输入的 BCD 码经译码后去激励显示器。常用的有驱动共阴极显示器的译码输出为高电平有效，如 74LS48、74LS49、74LS248、74LS249，驱动共阳极显示器的译码输出为低电平有效，如 74LS46、74LS47、74LS246、74LS247。

2、数码显示译码器

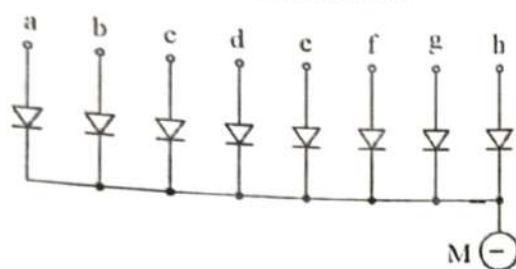
在一些数字系统中，不仅需要译码，而且需要把译码的结果显示出来。例如，在计数系统中，需要显示计数结果，在测量仪表中，需要显示测量结果。用显示译码器驱动显示器件，就可以达到显示数据的目的。目前广泛使用的显示器件是七段数码显示器，七段数码显示器由 a~g 七段可发光的线段拼合而成，控制各段的亮或灭，即可以显示不同的字符和数字。七段数码显示器有半导体数码显示器和液晶显示器两种。

（1）七段发光二极管（LED）数码管

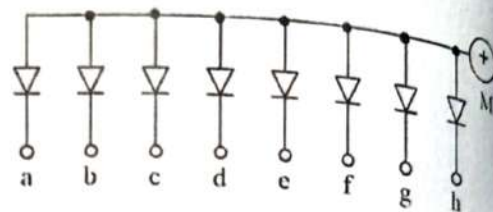
LED 数码管是目前最常用的数字显示器，图 3.6（a）、（b）分别为共阴管和共阳管的电路，图 3.6（c）为两种不同出现形式的引出脚功能图。

一个 LED 数码管可用来显示一位 0~9 十进制数和一个小数点，小型数码管每段发光二极管的正向压降随显示光（通常为红，绿，黄，橙色）的颜色不同而略有差别，通常为 2~2.5V，每个发光二极管的点亮电流为 5~10mA，LED 数码管要显示 BCD 码所表示的十进制数字需要有一个专门的译码器，该译码器不但要完成译码功

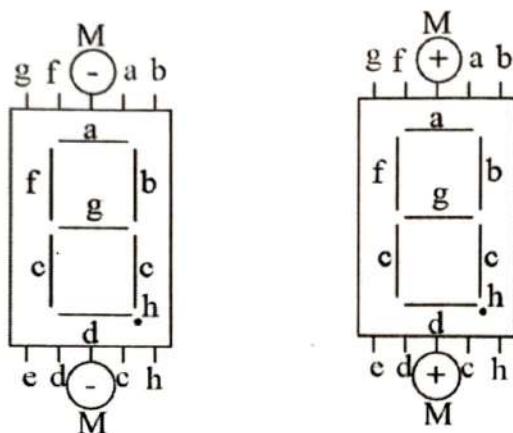
能，还要有相当的驱动能力。



(a) 共阴连接 (“1” 电平驱动)



(b) 共阳连接 (“0” 电平驱动)



(c) 符合及引脚功能

图 3.6 半导体数码管的内部结构

(2) LED 七段数码管的判别方法

共阳极共阴极好坏的判别方法：先确定显示器的两个公共端，两者是相通的。这两端可能是两个地端（共阴极），也可能是两个 V_{cc} 端（共阳极），然后用万用表判别普通二极管正、负极那样判断，即可判断出是共阳极还是共阴极，好坏也随之确定。

字段引脚判断：将共阴极显示器接地端接电源 V_{cc} 的负极， V_{cc} 的正极通过 400 欧姆左右的电阻接七段引脚之一，则根据发光情况可以判别出 a、b、c 等七段。对于共阳显示器，先将它的 V_{cc} 接电源的正极，再将几百欧姆的电阻一端接地，另一端分别接触显示器各段引脚，则七段之一分别发光，从而判断之。

(3) BCD 码七段译码驱动器

此类译码器型号有 74LS47（共阳极），74LS48（共阴极），CC4511（共阴极）等，本实验系采用 CC4511BCD 码锁存器/七段译码/驱动器，驱动共阴极 LED 数码管。

图 3.7 为 CC4511 引脚排列。其中, A、B、C、D 为 BCD 码输入端; a、b、c、d、e、f、g 为译码输出端, 输出“1”有效, 用来驱动共阴极 LED 数码管; \overline{LT} 为测试输入端, $\overline{LT}=0$ 时, 译码输出全为“1”; \overline{BI} 为消隐输入端, $\overline{BI}=0$ 时, 译码器输出全为“0”; LE 为锁定端, LE=1 时译码器处于锁定(保持)状态, 译码输出保持在 LE=0 时的数值, LE=0 为正常译码。

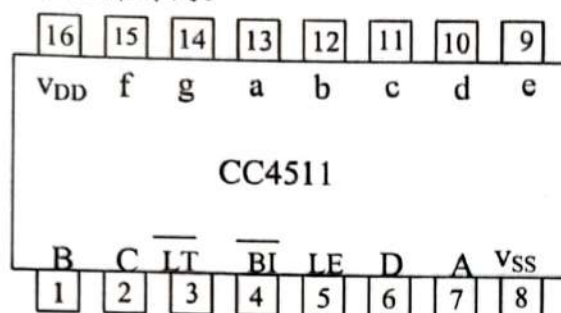


图 3.7 CC4511 引脚排列图

表 3.3 为 CC4511 功能表。CC4511 内接有上拉电阻, 故只要在输出端与数码管笔段之间串入电流即可工作。译码器还有拒伪码功能, 当输入码超过 1001 时, 输出全为“0”, 数码管熄灭。

表3.3 CC4511功能表

输入							输出							显示字形
LE	\overline{BI}	\overline{LT}	D	C	B	A	a	b	c	d	e	f	g	
×	×	0	×	×	×	×	1	1	1	1	1	1	1	8
×	0	1	×	×	×	×	0	0	0	0	0	0	0	消隐
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9

3.3.3 实验仪器和元器件

- 1、数字电路实验箱
- 2、数字万用表、双踪示波器
- 3、集成块若干：74LS00、74LS138、CC4511。
- 4、PC 机和 Multisim 仿真软件。

3.3.4 实验内容

- 1、用 CC4511 设计一个显示电路，用七段译码显示器显示数字 0~9。
- 2、用 3-8 线译码器实现多输出函数

用一片 74LS138（引脚排列如图 3.8）和若干与非门设计 A、B、C 三变量的两组输出函数 Z_1 和 Z_2 。即当 A、B、C 中有奇数个 1 时，输出 $Z_1=1$ ，否则 $Z_1=0$ ；当 A、B、C 的值（对应十进制）为偶数（不包含 0）时，输出 $Z_2=1$ ，否则 $Z_2=0$ 。要求列出 Z_1 、 Z_2 的真值表，写出逻辑表达式，并经实验验证。

- 3、试用一个 3-8 线译码器 74LS138 和若干基本门电路设计一个 1 位二进制全减器。

3.3.5 思考题

- 1、可否用将 LED 数码管各段输入端接高电平的方法检查数码管的好坏？为什么？
- 2、如何将两个 3 线—8 线译码器扩展成一个 4 线—16 线的译码器？
- 3、写出共阴极七段数码显示管的 A~F 对应的译码。

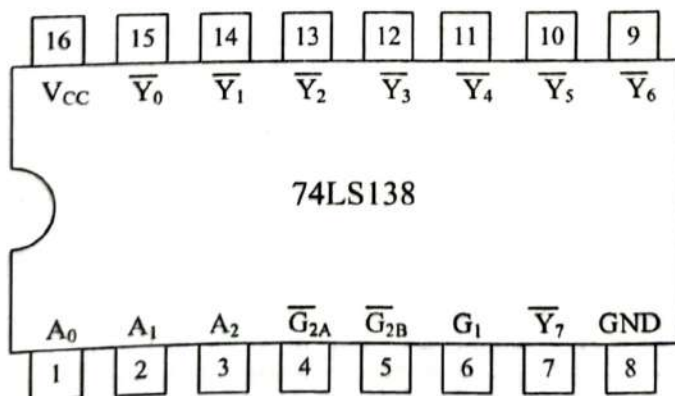


图 3.8 74LS138 引脚排列图

第4章 时序逻辑电路

4.1 触发器功能测试

4.1.1 实验目的

- 1、掌握常用触发器的特点及其逻辑功能。
- 2、学会常用触发器的仿真。
- 3、掌握测试 JK 触发器及 D 触发器逻辑功能的方法。

4.1.2 实验原理

触发器是一种具有记忆功能的二进制存储单元,是时序逻辑电路的基本器件之一。触发器广泛应用于现代数字电路与逻辑系统中,它的品种也是多种多样的,按逻辑功能分有 RS 触发器、JK 触发器、D 触发器、T 触发器等。按电路原理分,有基本触发器、钟控触发器、主从触发器、边沿触发器等。不管是哪一种触发器,它的输出不外乎置 0,置 1,保持,翻转。触发器的逻辑功能通常用特征方程、状态转移真值表、时序图来进行描述,这些描述方法本质上是相同的,可以互相转换。

基本 RS 触发器可由二个与非门或者或非门组成,常见的触发器有 D 触发器和 JK 触发器。D 触发器大多采用维持阻塞型触发方式且上升沿触发的较多。JK 触发器有维持阻塞型(以下降沿触发的较多)和主从型触发方式。本实验中采用的 74LS74 是 TTL 双 D 触发器,其输出特性方程为 $Q^{n+1} = D$,引脚图如图 4.1 所示。74LS112 是 TTL 双 JK 触发器,其输出特性方程为 $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$,引脚图如图 4.2 所示。

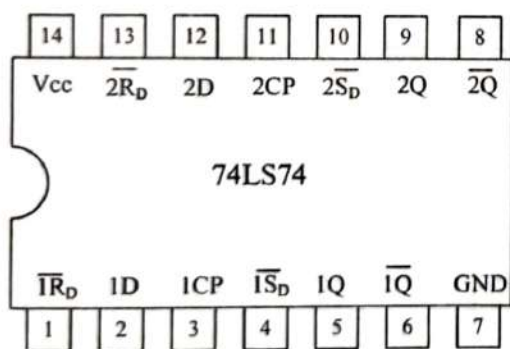


图 4.1 74LS74 引脚排列

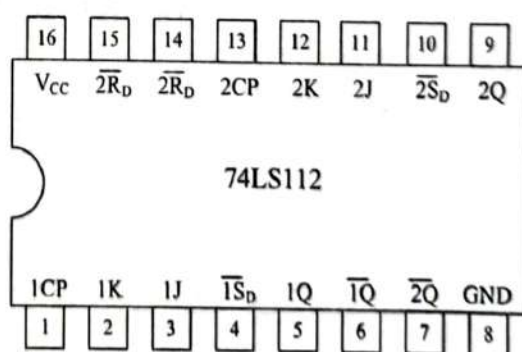


图 4.2 74LS112 引脚排列

4.1.3 实验仪器和元器件

- 1、数字电路实验箱
- 2、数字万用表、双踪示波器
- 3、集成块若干 74LS00、74LS74、74LS112
- 4、PC 机和 Multisim 仿真软件。

4.1.4 实验内容

1、D 触发器逻辑功能测试

实验采用 74LS74 双 D 触发器，分别做下面功能测试。

(1) 置位，复位（或称置 1、置 0）端功能测试

将 \overline{SD} 端和 \overline{RD} 端分别接电平开关，输出端 Q 接显示发光二极管。按功能测试表 4.1 的要求改变 \overline{SD} 端和 \overline{RD} 端的电平，观察输出端 Q 、 \overline{Q} 端的状态，将结果填入下表中，并说明不同输入状态下，输出执行的是什么逻辑功能。

表 4.1 D 触发器置位、复位功能测试表

\overline{SD}	\overline{RD}	Q	逻辑功能
0	1		
1	0		

(2) D 触发器逻辑功能测试

先将 D 触发器的 \overline{SD} 、 \overline{RD} 、D 端接电平开关， Q 端接显示发光二极管。按功能测试表的顺序和要求进行测试将结果填入表 4.2 中。表格中 Q^n 状态可利用 \overline{RD} 端或 \overline{SD} 端来达到。CP 端 0→1 或 1→0 利用实验箱的单脉冲按钮，从相应输出端获取。

表 4.2 D 触发器功能测试表

输 入				输 出	
\overline{SD}	\overline{RD}	D	CP	Q^n	Q^{n+1}
1	1	0	0→1	0	
				1	
			1→0	0	
				1	
		1	0→1	0	
				1	
			1→0	0	
				1	

(3) D 触发器接成 T' (计数状态) 触发器

将 D 触发器的 \overline{Q} 端与 D 端连接, 构成计数触发器, 特性方程为 $Q^{n+1} = \overline{Q^n}$, 在 CP 端加入连续脉冲, 用双踪示波器同时观察 CP 端和 Q 端的波形。并将它们的波形画在报告纸上, 二个波形的边沿要对齐。

2、J-K 触发器逻辑功能测试

实验采用 74LS112 双 JK 触发器。输入端分别接电平开关, 输出端 Q 接显示发光二极管, 自拟实验步骤, 测试如下功能:

(1) 置位, 复位端的功能测试, 自作测试表。

(2) 逻辑功能测试, 将测试结果填入下表 4.3 中。

表 4.3 JK 触发器功能测试表

输 入				输 出		
\overline{PR}	\overline{CLR}	J	K	CP	Q^n	Q^{n+1}
1	1	0	0	0→1	0	
					1	
				1→0	0	
					1	
		0	1	0→1	0	
					1	
				1→0	0	
					1	
		1	0	0→1	0	
					1	
				1→0	0	
					1	
		1	1	0→1	0	
					1	
				1→0	0	
					1	

4.1.5 触发器的选用规则

1、通常根据数字系统的时序配合关系选用触发器, 一般在同一系统中选择具体相同触发方式的同类型触发器较好。

2、在工作速度要求较高的情况下, 采用边沿触发方式的触发器较好, 但速度越

高, 就越容易受外界干扰。上升沿触发还是下降沿触发, 原则上没有优劣之分。如果是 TTL 电路的触发器, 则输出为“0”时的驱动能力远强于输出为“1”时的驱动能力, 尤其是当集电极开路输出时上升沿更差, 所以此时选用下降沿触发更好些。

3、CMOS 与 TTL 集成触发器触发方式基本相同, 使用时不宜将这两种器件混合使用, 因 CMOS 触发器内部电路结构及对触发时钟脉冲的要求与 TTL 有较大差别。

4.1.6 思考题

- 1、当上表 4.2 中输入端 $\overline{SD} = \overline{RD} = 1$, $CP=0$ (或 $CP=1$) 改变 D 端电平, 观察 Q 端是否有变化? 为什么?
- 2、列表整理各类触发器的逻辑功能。

4.2 计数器及其应用设计

4.2.1 实验目的

- 1、掌握常用计数器的基本概念和一般构成方法。
- 2、熟悉中规模集成计数器的逻辑功能及其应用。
- 3、掌握常用计数器及其应用的 EDA 仿真。

4.2.2 实验原理

计数器是数字设备中的基本逻辑部件。它的功能是记录输入脉冲个数, 还可以用于分频, 定时, 产生节拍脉冲和脉冲序列等。数字化仪表中的压力、时间、温度等物理量的 A/D、D/A 转换都要通过脉冲计数来实现。

计数器种类繁多, 按计数器中触发器翻转的先后顺序来分类, 可以把计数器分为同步计数器和异步计数器。按编码方式可分为二进制计数器、二一十进制计数器等。按功能可分为加法计数器、减法计数器、可逆计数器等。

4.2.3 实验仪器和元器件

- 1、数字电路实验箱。
- 2、双踪示波器、万用表。
- 3、集成块若干: 74LS74、74LS161。
- 4、PC 机和 Multisim 仿真软件。

4.2.4 实验内容

1、由 D 触发器构成 4 位异步二进制计数器的硬件实现

图 4.3 是用 4 个 D 触发器构成的 4 位二进制异步加法计数器的原理图，它的连接特点是将每只 D 触发器接成 T' 触发器，再由低位触发器的 \bar{Q} 端和高一位的 CP 端相连。

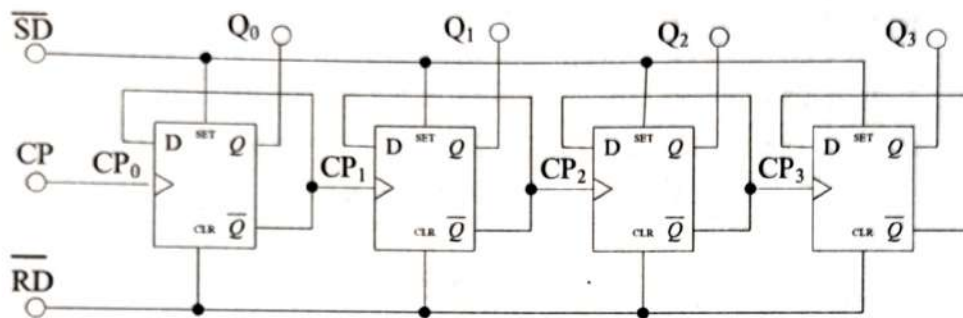


图 4.3 4 位二进制异步加法计数器

- (1) 将低位 CP 端接单次脉冲源，输出端接逻辑电平显示 LED。
- (2) 合理布局，可靠连线，检查无误时，加+5V 电压。
- (3) 清零。触发器清零端 \overline{RD} 接低电平，使各计数器处在 $Q=0$ 的状态。
- (4) 清零后，触发器清零端 \overline{RD} 和置位端 \overline{SD} 接高电平，实验中用 1Hz 的连续脉冲代替单次脉冲 CP 信号，观察并列表记录 $Q_3 \sim Q_0$ 的状态。

(5) 将 1Hz 的连续脉冲改为 1kHz，用双踪示波器观察 CP、输出端 $Q_3 \sim Q_0$ 的波形，并用方格纸描绘。

(6) 将图 4.3 电路中的低位触发器的 Q 端与高一位的 CP 端相连接，构成减法计数器。按实验内容 (3)，(4)，(5) 进行实验，观察并列表记录输出端 $Q_3 \sim Q_0$ 的状态。

2、常用集成计数器 74LS161 的仿真及功能测试

74LS161 是具有异步清零的可预置 4 位二进制同步计数器，该计数器具有异步清零，同步并行预置数据，计数和保持功能，进位输出端可以串接计数器使用。

在 Multisim 中，74LS161 功能测试电路的仿真图如图 4.4 所示，图中的 74LS161 清零端和计数使能 ENT、ENP 接逻辑开关，时钟信号接虚拟信号源并设置为 5V/100HZ，通过改变开关 J1、J2、J3 和 J4 的状态，利用逻辑分析仪观察输出状态。图 4.5 是 74LS161N 仿真时序图。

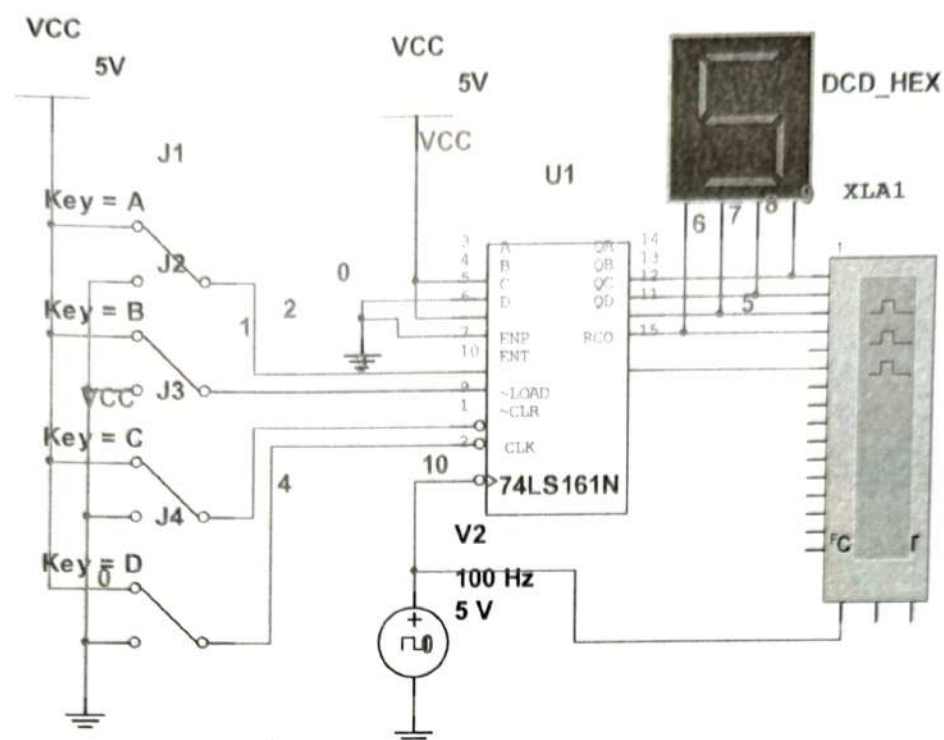


图 4.4 74LS161 功能测试仿真图

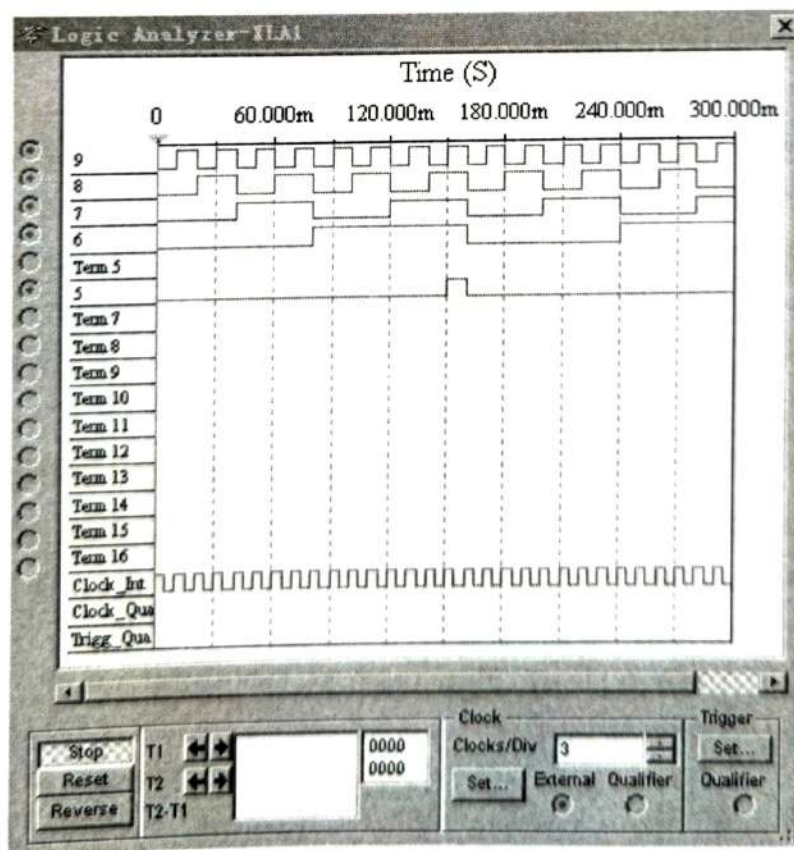


图 4.5 74LS161 仿真时序图

3、利用 74LS161 设计 BCD5421 码 (见表 4.4) 十进制计数
74LS161 集成块的引脚及功能如下:

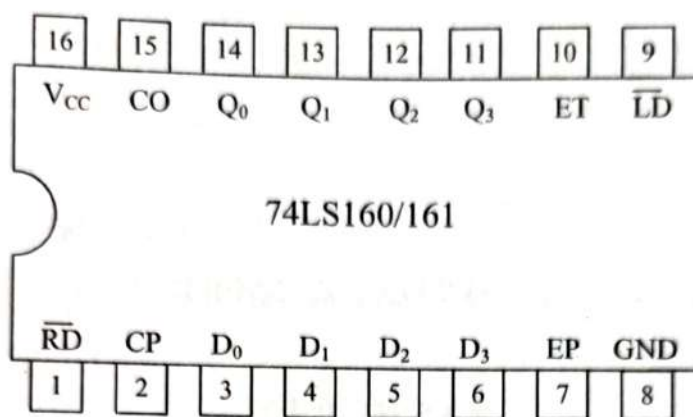


图 4.6 74LS161 功能引脚图

9 脚为预置数控制端 (\overline{LD})

7 脚、10 脚分别为使能端和工作状态控制端 (EP、ET), 计数时必须是高电平。

1 脚为异步清零 (\overline{RD})

15 脚为进位输出端 (CO)

写好设计步骤, 画出逻辑电路图, 并经实验验证。(可先用 Multisim 软件进行仿真)

表 4.4 BCD5421 码十进制计数

Q_3	Q_2	Q_1	Q_0	十进制数
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
1	0	0	0	5
1	0	0	1	6
1	0	1	0	7
1	0	1	1	8
1	1	0	0	9

4、设计一个可控进制的计数器

当输入控制变量 $M=0$ 时工作在五进制, $M=1$ 时工作在十五进制。用 D 触发器 (74LS74) 和基本门电路实现 (建议用异步方式)。请写出设计步骤, 画出逻辑电路

图，用实验验证，并画出时序波形图（用方格纸）。

5、移位寄存器

用双 D 触发器 74LS74 组成 4 位右移移位寄存器。将 \overline{RD} 、 \overline{SD} 、D 端分别接电平开关，CP 端接单次计数脉冲， Q_3 、 Q_2 、 Q_1 、 Q_0 分别接发光二极管。先清零，然后从第一级触发器的 D 输入端依次送入 4 位二进制数码（1→1→0→1→0），观察数码在移位寄存器中的移位情况，并将结果填入表 4.5。并说明由移位寄存器并行输出端并行读出 4 位数码，需经几个移位脉冲；从末级输出端 Q_3 串行读出 4 位数码，需多少个移位脉冲。

表 4.5 移位状态表

CP 的顺序	数据输入端 D	初 Q_0	Q_1	Q_2	末 Q_3
0	1	1	0	0	0
1	1				
2	0				
3	1				
4	0				
5	/				
6	/				
7	/				

4.2.5 思考题

- 1、时序逻辑电路设计中会出现竞争—冒险现象，如何判断此现象，怎样解决？
- 2、试用 74LS161 设计一个六十进制计数器，并在 Multisim 软件环境下仿真。

第 5 章 混合电路

5.1 555 定时器及其应用

5.1.1 实验目的

- 1、熟悉 555 定时器的工作原理及电路结构。
- 2、掌握 555 定时器的典型应用。
- 3、学会使用示波器时一些电参数的测量。

5.1.2 实验原理

1、简要说明 555 定时器的工作原理

555 的内部结构如图 5.1 所示, 其中, 三极管 T 起开关控制作用, $A1$ 为反相比较器, $A2$ 为同相比较器, 比较器的基准电压由电源电压 $+V_{CC}$ 及内部电阻分压比决定。R-S 触发器具有复位控制功能, 可控制 T 的导通与截止。当输入信号从 6 脚输入电平超过参考电平 $2/3V_{CC}$ 时, 触发器复位, 输出端 3 脚输出低电平, 同时 \bar{Q} 的高电平使开关管 T 导通; 当输入信号从 2 脚输入并低于 $1/3V_{CC}$ 时, 触发器置位, 输出端 3 脚输出高电平, 同时开关管 T 截止。 \overline{RD} 是复位端, 当 $\overline{RD}=0$, 555 输出低电平。平时 \overline{RD} 端接 V_{CC} 或开路。第 5 脚 V_C 是控制电压端, 平时输出 $2/3V_{CC}$ 作为比较器 $A1$ 的参考电平, 当第 5 脚外接一个输入电压, 即改变了比较器的参考电平, 从而实现对输出的另一种控制, 在不接外加电压时, 通常接一个 $0.01\mu F$ 以下的电容到地, 起滤波作用, 以消除外来的干扰, 确保参考电平的稳定。

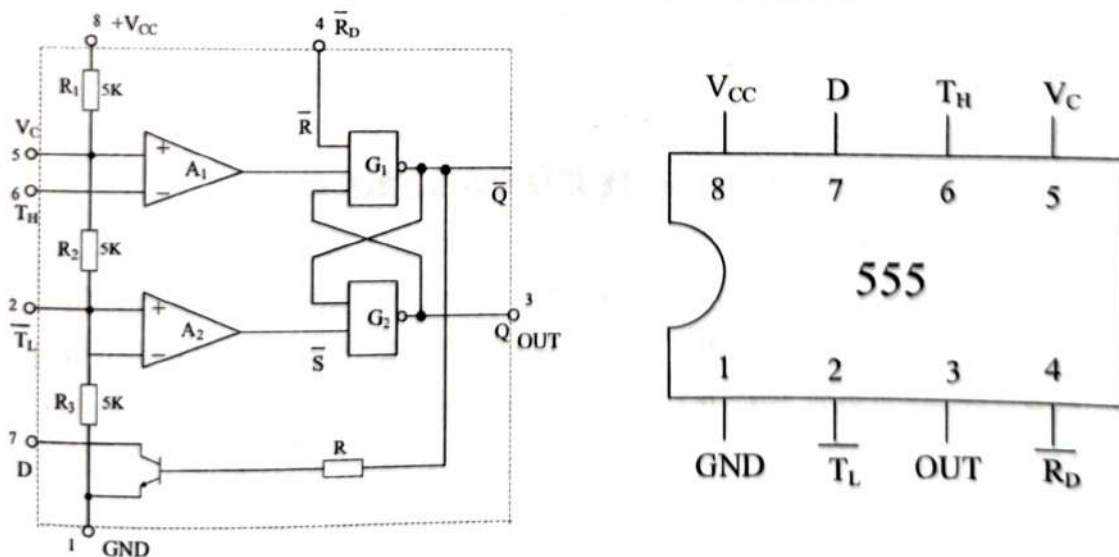


图 5.1 555 定时器电路框图及引脚排列

555 定时器主要是由电阻、电容构成充放电电路，并由两个比较器来检测电容器上的电压。以确定输出电平的高低和放电开关的通断。这就可以很方便地构成从微秒到数十分钟的延时电路，可方便地构成单稳态触发器、多谐振荡器、施密特触发器等脉冲产生或波形变换电路。

2、555 定时器的典型应用

(1) 构成单稳态触发器

若以 555 定时器的第 2 脚作为触发信号的输入端，并将由三极管 T 和电阻 R 组成的反相器输出电压接到第 6 脚，同时第 6 脚对地接入电容 C，这就构成如图 5.2 所示的单稳态触发器电路，其中 R、C 是实现单稳延时的关键元件， C_i 为滤波电容，可防止干扰，提高参考电压的稳定性。该电路由输入信号 V_i 的下降沿触发。输入为负脉冲，输出为正脉冲，且要求 $T_1 < T_w$ ，否则它将失去单稳功能而成为反相器。若 V_i 为连续的负脉冲，则其周期必须大于 $1.2T_w$ ，否则电容 C 来不及充分放电，定时不能达到稳定。 T_w 的大小取决于 R、C 三值，可由公式 (1) 计算：

$$T_w = 1.1RC \quad (1)$$

通常 R 可为几百欧至几兆欧，C 可为几百皮法到几百微法。 T_w 可从几微秒到几分钟，且延时十分准确。

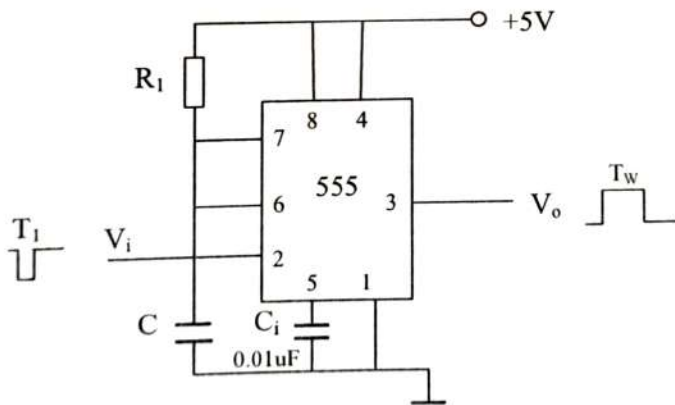


图 5.2 555 定时器组成的单稳态触发器

(2) 构成多谐振荡器

由图 5.3 所示，由 555 定时器和外接元件 R_1 、 R_2 、C 构成多谐振荡器，第 2 脚和第 6 脚直接相连。利用电源通过 R_1 、 R_2 向 C 充电，以及通过 R_2 和开关 T 放电。使电路产生振荡，电容 C 在 $1/3V_{CC}$ 和 $2/3V_{CC}$ 之间充电和放电，振荡周期 $T = t_{w1} + t_{w2}$ ，其中 $t_{w1} = 0.7(R_1 + R_2)C$ ， $t_{w2} = 0.7R_2C$ ，占空比 q 由公式 (2) 计算：

$$q = \frac{t_{w1}}{T} = \frac{R_1 + R_2}{R_1 + 2R_2} \quad (2)$$

555 电路要求 R_1 与 R_2 均应大于或等于 $1K\Omega$ ，但 R_1+R_2 应小于或等于 $3.3M\Omega$ 。外部元件的稳定性决定了多谐振荡器的稳定性，555 定时器配以少量的元件即可获得较高精度的振荡频率和具有较强的功率输出能力，应用很广。

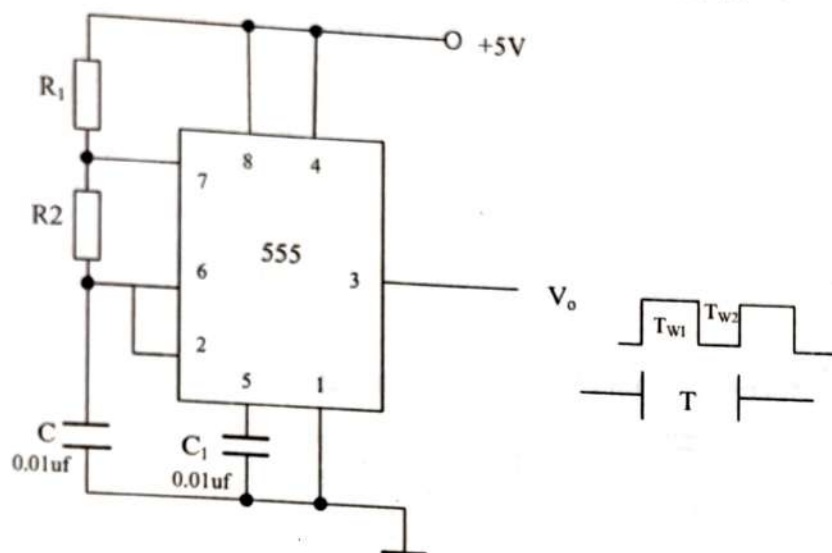


图 5.3 555 定时器组成的多谐振荡器

5.1.3 实验仪器和元器件

- 1、数字电路实验箱。
- 2、双踪示波器、数字万用表。。
- 3、信号发生器。
- 4、555 集成块，电阻 $8.2K$ 、 $10K$ 、 $5.5K$ 、 $15K$ ，电容 $0.1\mu F$ 、 $0.01\mu F$ 。
- 5、PC 机和 Multisim 仿真软件。

5.1.4 实验内容

1、555 定时器应用的 EDA 仿真

(1) 用 555 定时器构成单稳态触发器

利用 555 定时器构成单稳态触发器有两种方法：一种是通过调用元件库中的 555 模块和相关器件，组成单稳态触发器；另一种方法是利用 Multisim 提供的 555Timer Wizard 直接生成单稳态触发器。

下面的仿真是用 555 定时器和相关器件构成单稳态触发器。在 Multisim 软件中，

按照图 5.4 所示的电路，从混合器件库中调 555 定时器，从基本库中调 Vcc、GND、电阻、电容及脉冲源等元件，连线搭建单稳态触发器仿真电路。

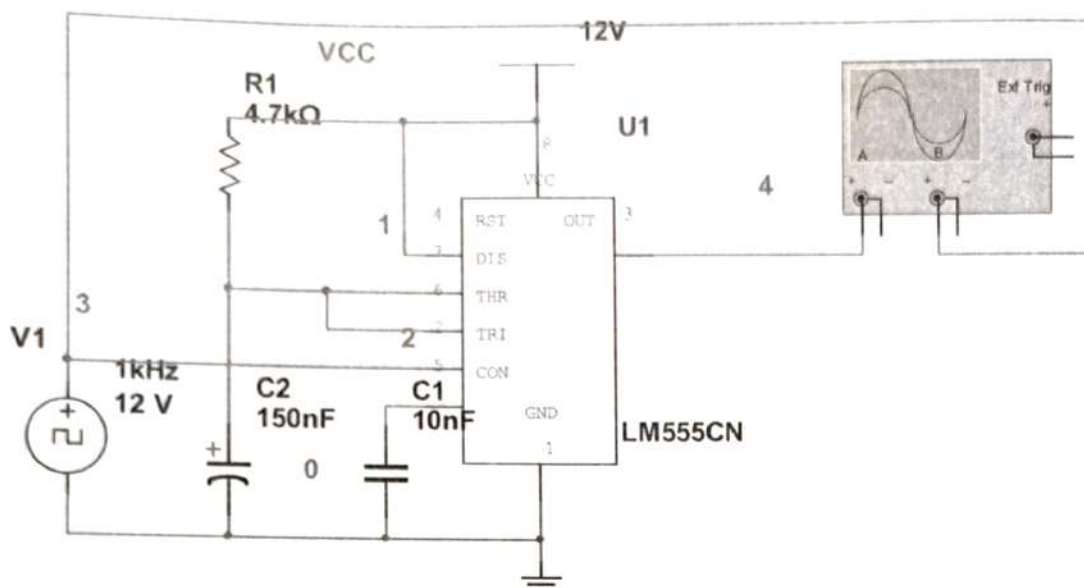


图 5.4 555 定时器和相关器件构成单稳态触发器电路仿真

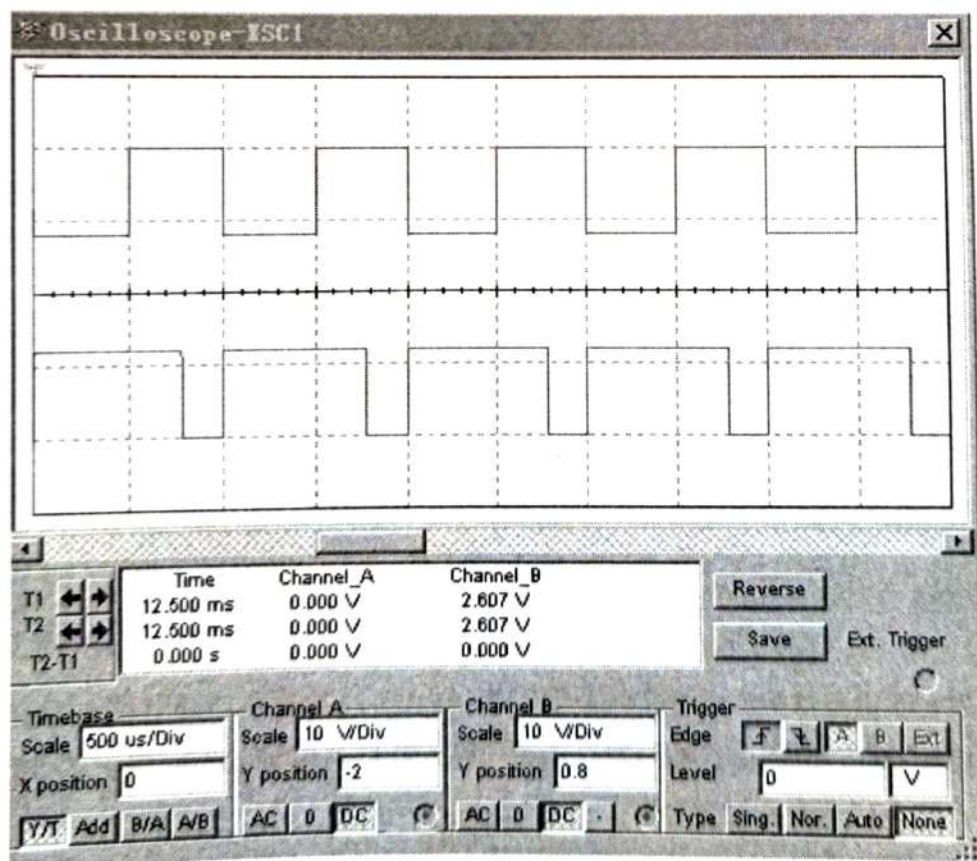


图 5.5 555 定时器构成积分型单稳态触发器的波形

用示波器观察输入与输出的波形,如图 5.5 所示。其中示波器的 B 通道接输入波形,上移 0.8 格,显示在屏幕上方。示波器的 A 通道接输出波形,下移 2 格,显示在屏幕下方。改变 R 或 C 的大小,观察单稳态触发器输入与输出波形的变化情况。

从仿真结果可知,在外加负载脉冲出现之前,输出电压一直处于低电位。在 $t=N$ 时,输入的负脉冲加入后,输出电压突跳到高电位。输出电压处于高电位的时间间隔 t_{H} (暂稳态时间) 决定于外部连接的电阻—电容网络,与输入电压无关。

(2) 用 555 定时器构成多谐振荡器

用 555 定时器构成多谐振荡器有两种方法:一种是通过调用元件库中的 555 模块和相关器件,组成多谐振荡器;另一种方法是利用 Multisim 提供的 555Timer Wizard 直接生成多谐振荡器。

下面的仿真是用 555 定时器和相关器件组成多谐振荡器。

电路连接与用 555 定时器和相关器件构成的单稳态触发器类似,用 555 定时器和相关器件组成的多谐振荡器如图 5.6 所示。

用示波器观察多谐振荡器的输出波形,如图 5.7 所示。其中示波器的 B 通道接定时元件 C 的波形,上移 0.4 格,在显示屏上方。示波器的 A 通道接输出波形,下移 1.6 格,在显示屏下方。改变 R 或 C 的大小,观察多谐振荡器输出信号波形的变化情况。

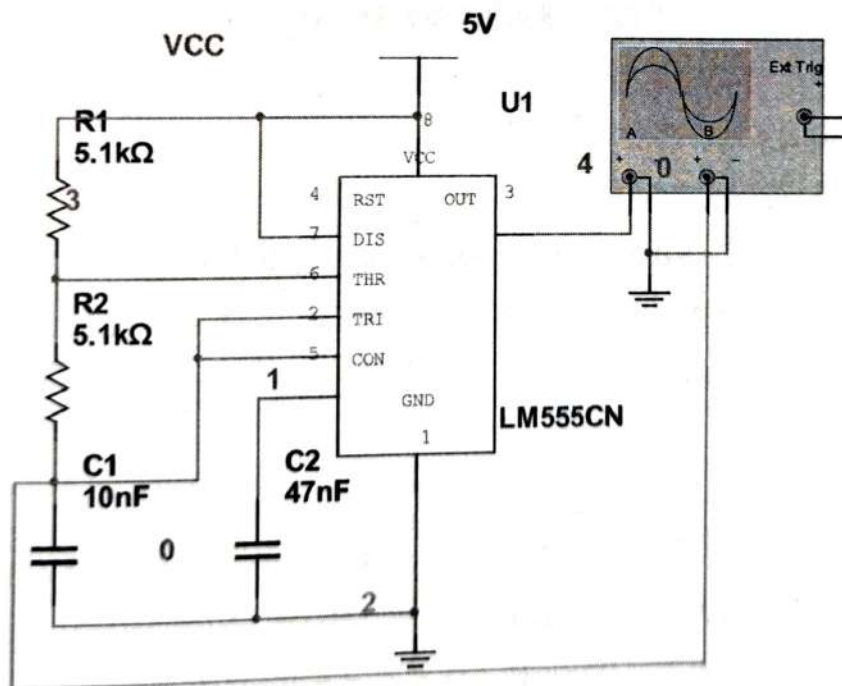


图 5.6 555 定时器和相关器件构成的多谐振荡器

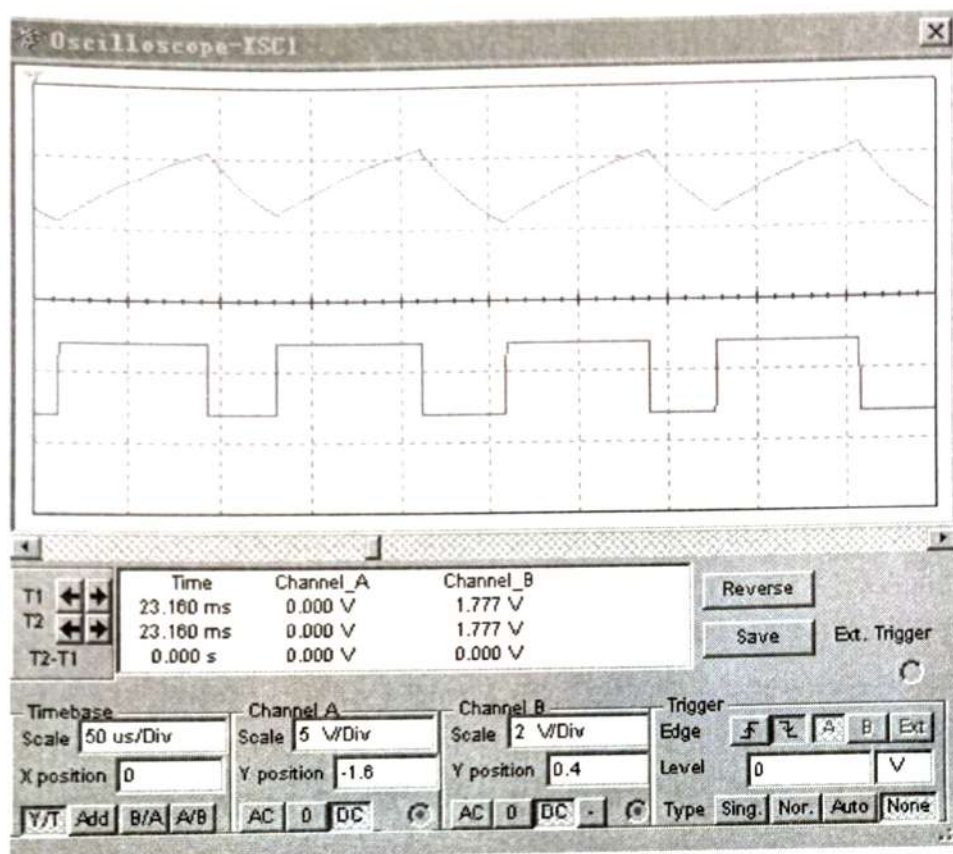


图 5.7 555 构成多谐振荡器的波形

2、555 构成多谐振荡器

按图 5.3 电路接线，其中

① $R_1=R_2=5.5K$ 、 $C=0.01\mu F$ ，观察输出 V_0 、 V_C 波形，测量其振荡周期，并记录波形 (V_0 、 V_C 第 2 脚) 及输出幅值，计算占空比，并与理论值进行比较。

② $R_1=15K$ 、 $R_2=10K$ ，电容不变，重复上述过程

3、555 构成单稳态触发器

按图 5.2 所示接线，其中 $R=10K$ ， $C=0.1\mu F$ 。从 V_i (第 2 脚) 接入正脉冲信号。

(要求① V_i 幅度为 5V，频率为 500HZ，占空比为 75%的正脉冲信号。②信号发生器的直流偏置旋钮起作用调节该旋钮，使得示波器零电位基线与方波的低电平相重合)。要求用双踪示波器测出输入、输出 (V_i 、 V_0) 波形，记录 T_1 、 T_w 值。

4、用 555 定时器设计一个时间延迟电路。

该电路对某一脉冲信号的边沿延迟 $45\mu\text{S}$ ，输出一个极性相同，脉冲宽度 $t_w=20\mu\text{S}$ 的脉冲信号。用示波器分别观察原信号和延迟后的电路输出信号，并记录波形。

要求写出设计全过程，并计算出各个元器件的参数，画出电路图。

5.1.5 思考题

- 1、555 定时器构成的单稳态触发器输出脉宽和周期由什么决定？
- 2、555 定时器构成的振荡器其振荡周期和占空比的改变与哪些因素有关？若只改变周期，不改变占空比，应调整哪个元件参数？

5.2 D/A 转换与 A/D 转换

5.2.1 实验目的

- 1、熟悉 A/D 和 D/A 转换器的工作原理及基本结构。
- 2、掌握 A/D 和 D/A 的转换器的性能及其典型应用。

5.2.2 实验原理

由于数字技术的迅速发展，尤其是微处理机在信号处理、信息传输、自动控制和自动检测系统中的广泛应用，用数字电路处理模拟信号情况更加普遍了。

为了能够使用数字电路处理模拟信号，必须经模/数转换器（即 A/D 转换器）把模拟信号转换成相应的数字信号，方能送入数字系统进行处理，同时还需要把处理后得到的数字信号再经数/模转换器（即 D/A 转换器）转换成相应的模拟信号，作为最后输出。

1、8 位 8 通道 A/D 转换器 ADC0809

ADC0809 是 CMOS 单片集成、将 8 通道多路模拟开关、地址锁存与译码，三态输出锁存缓冲器都集中到 8 位 ADC 中的，与微机兼容的 A/D 转换器，采用逐次

渐近法作为转换技术。

该片可同时输入 8 路模拟量 (IN0~IN7)，由三位地址线 A0、A1、A2 来决定选送哪一位。

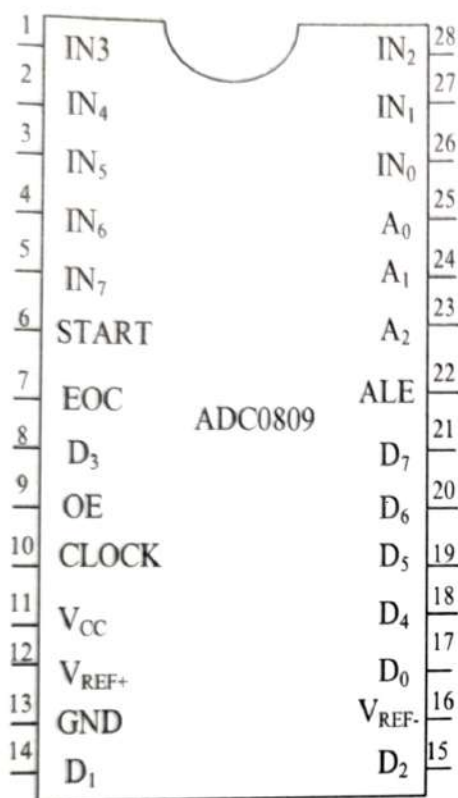


图 5.9 ADC 0809 引脚图

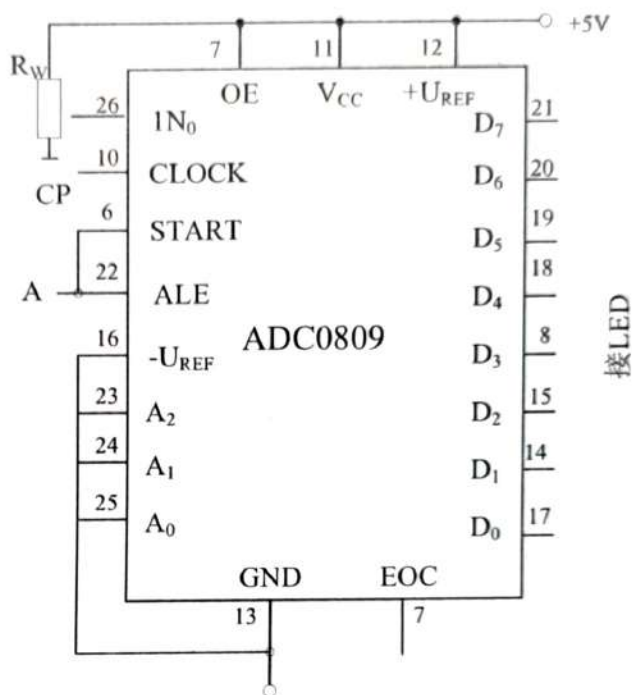


图 5.10 A/D 转换应用电路

ALE: 地址锁存信号，上升边沿时，输入地址码，当 ALE=0 时，原地址被锁存，而外加地址送不进来。

REF (+)、REF (-): 参考电压输入端

OE: 输出允许控制端，当 OE=1 时变换结果从 D7~D0 输出，否则输出为高阻态。

D7~D0: 8 位 A/D 转换结果输出端，D7 为高位，D0 为低位。

CLOCK: 时钟脉冲输入端一般为 640KHZ。

START: 启动转换输入端，在正脉冲作用下，当上升边沿到达时，内部逐次渐近寄存器复位，下降边沿到达后，即开始转换，如果在转换过程中，接收到新的启动脉冲，则停止转换。

EOC: EOC=1 表示转换结束，EOC=0 表示在转换。

2、D/A 转换器 DAC0832

DAC0832 是采用 CMOS 工艺制成的单片电流输出型 8 位数/模转换器，器件的核心部分采用倒 T 型电阻网络的 8 位 D/A 转换器。图 5.11 是 DAC0832 的引脚图。一个 8 位的 D/A 转换器，它有 8 个输入端，每个输入端是 8 位二进制数的一位，有一个模拟输出端，输入可有 $2^8=256$ 个不同的二进制组态，输出有 256 个电压之一，即输出电压不是整个电压范围内任意值，而只能是 256 个可能值。

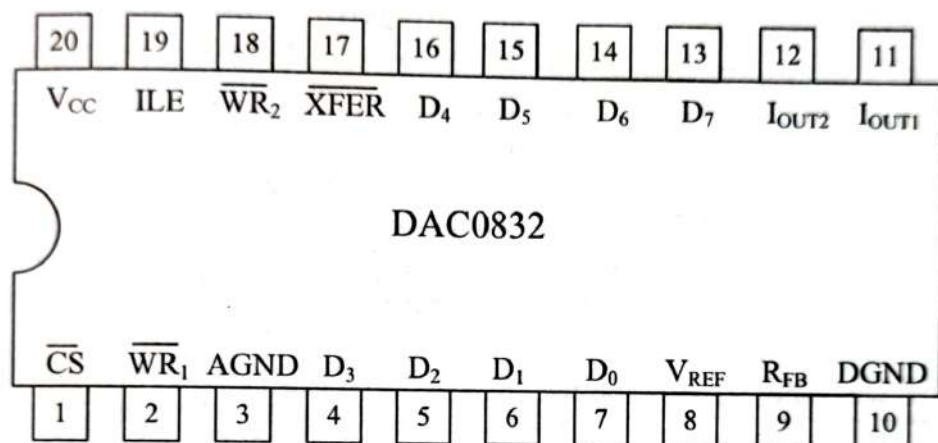


图 5.11 DAC0832 引脚图

芯片 DAC0832 的管脚功能是：

D7—D0：数字信号输入端；

ILE：输入寄存器允许，高电平有效；

\overline{CS} ：片选信号，低电平有效；

\overline{WR}_1 ：写信号 1，低电平有效；

\overline{XFER} ：传送控制信号，低电平有效；

\overline{WR}_2 ：写信号 2，低电平有效；

IOVT1、IOVT2：DAC 电流输出端；

R_{FB}：反馈电阻，是集成在片内运放的外接反馈电阻；

V_{REF}：基准电压（-10-10）V_i、V_{CC} 电源电压；

AGND：模拟地；

DGND：数字地；与模拟地接在一起；

DAC0832 转换器输出的是电流, 要转换为电压还必须经过一个外接的运算放大器。实验线路如图 5.12。

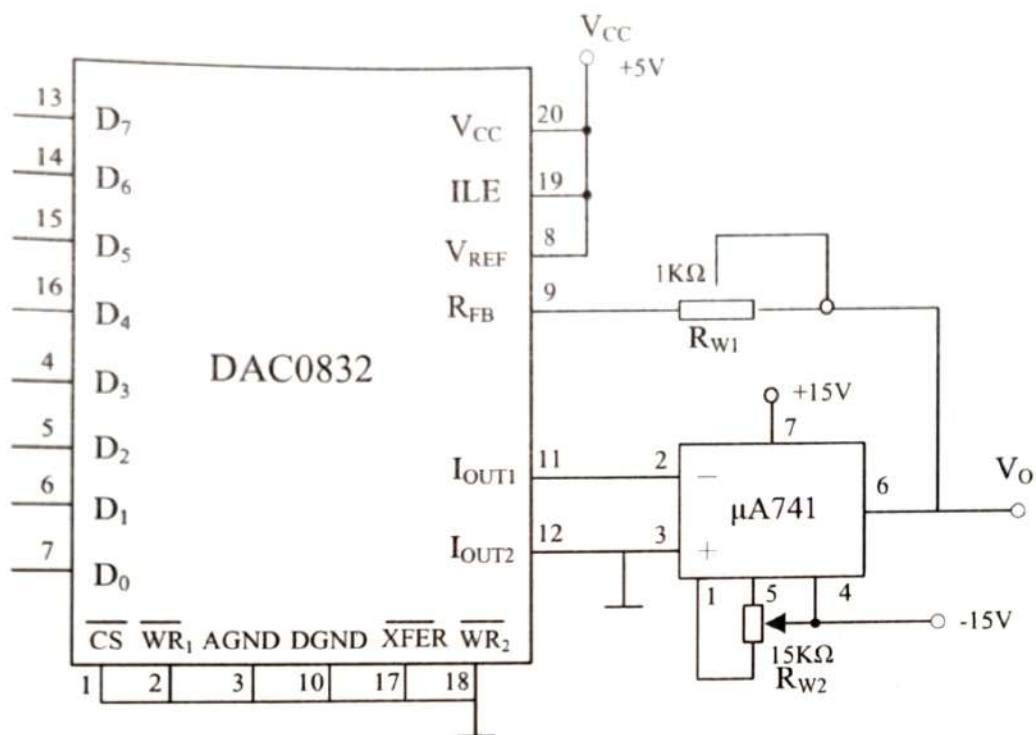


图 5.12 D/A 转换应用电路

5.2.3 实验仪器和元器件

- 1、数字逻辑实验箱。
- 2、示波器、数字万用表。
- 3、DAC0832、ADC0809、 $\mu A741$ 、电阻电位器若干。
- 4、PC 机和 Multisim 仿真软件。

5.2.4 实验内容

1、A/D 转换电路的仿真

在 Multisim 仿真软件的混合器件库中有一种 A/D 转换电路 (ADC), 以此来构建建模/转换电路。ADC 是将输入的模拟信号转换成 8 位数字信号输出, 符号说明如下。

Vin: 模拟电压输入端。

Vref+: 参考电压“+”端，接直流参考源的正端，其大小视用户对量化精度的要求而定。

Vref-: 参考电压“-”端，一般与地连接。

SOC: 启动转换信号端，只有该端从低电平变换成高电平时，转换才开始，转换时间为 1 μ s，期间 EOC 为低电平。

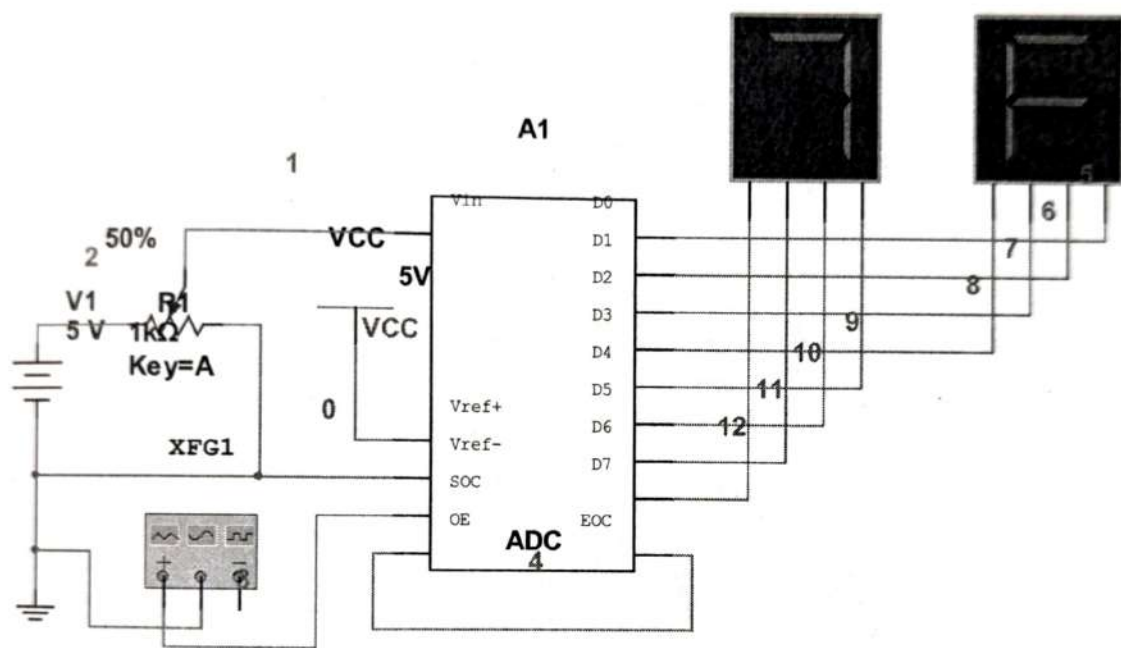


图 5.13 A/D 转换器仿真电路

EOC: 转换结束标志位端，高电平表示转换结束。

OE: 输出允许端，可与 EOC 接在一起。

A/D 转换器仿真电路如图 5.13 示，改变电位器 R1 的大小，即改变输入模拟量，在仿真电路中可观察到输出端数字信息的变化。

2、D/A 转换电路的仿真

在 Multisim 仿真软件的混合器件库 (Mixed) 中有两种 D/A 转换电路，一个是电流型 DAC，即 IDAC；另一个是电压型 DAC，即 VDAC。

调整图 5.13 示电路，在输入端再接入一路交流信号 V2。使 A2 集成电路 A/D 转换电路的输出端 D0-D7 的数值自动变化，并在数码管上显示出来。

调整好 A/D 转换电路以后，再对其输出的数字信号进行 D/A 转换。D/A 转换电路采用电流型 DAC，即 IDAC8 (8 位)，完整的电路如图 5.14 示。

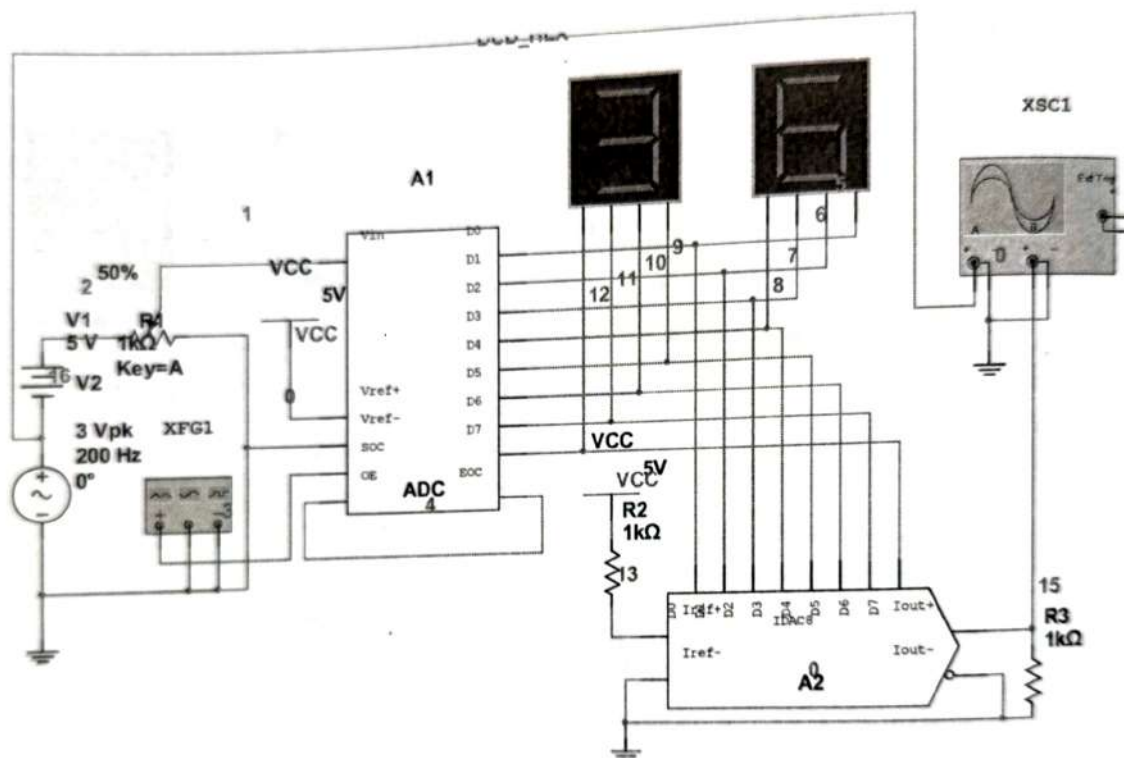


图 5.14 A/D、D/A 转换电路仿真

按下仿真开关，可以看到示波器上显示的 A/D 转换电路输入的模拟信号波形、D/A 转换电路输出信号的波形如图 5.15 所示。

在 D/A 转换电路的输出端接上滤波电感 L1 和滤波电容 C1，如图 5.16 所示。

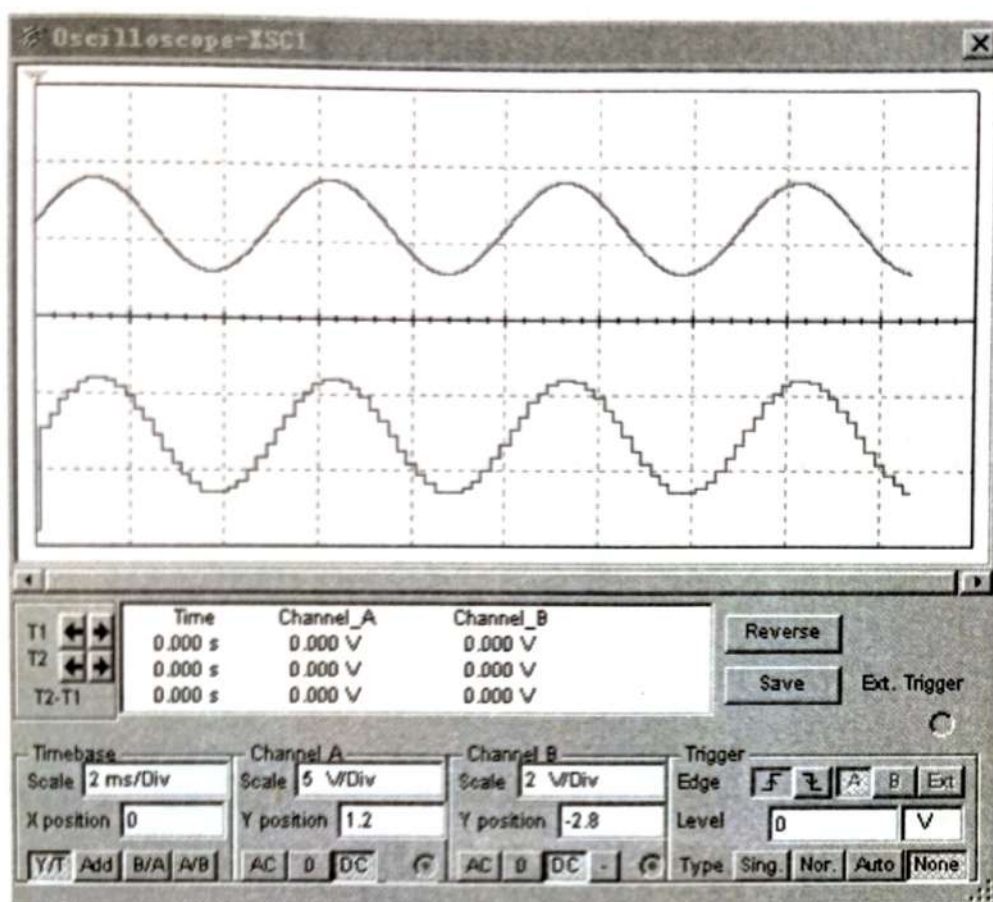


图 5.15 输入/输出信号波形（无滤波）

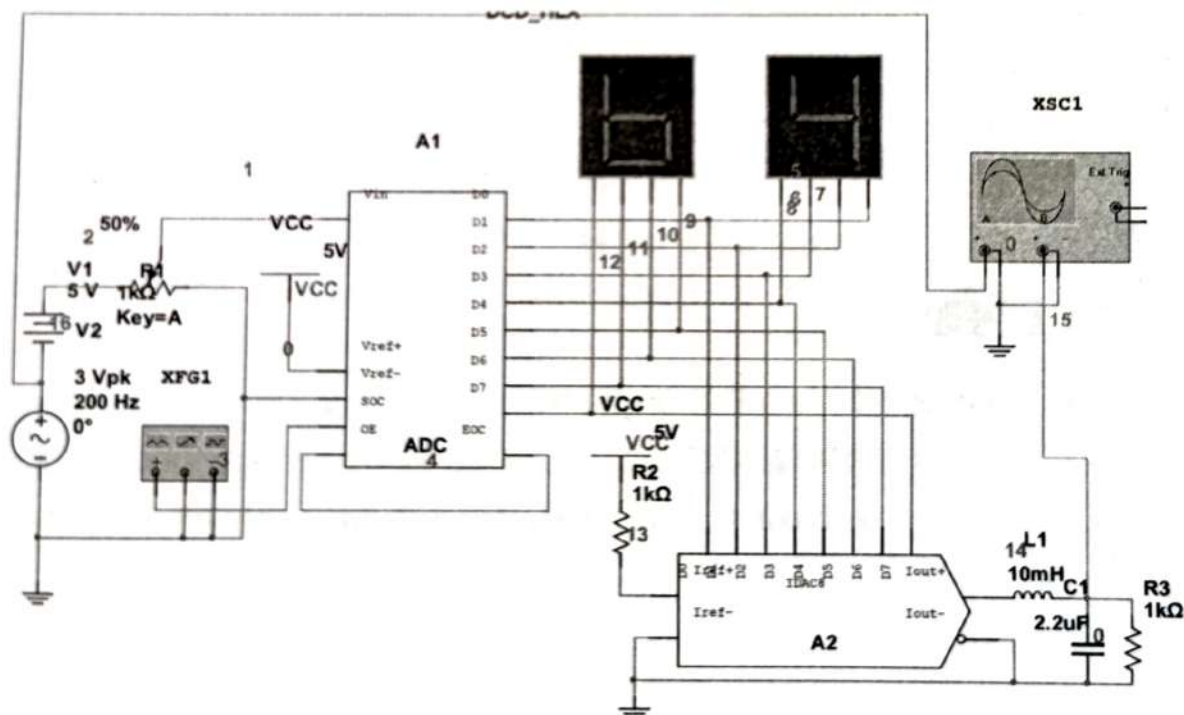


图 5.16 D/A 输出端接上滤波电感和电容

按下仿真开关, 我们看到示波器上显示的 A/D 转换电路输入的模拟信号、D/A 转换电路输出信号的波形如图 5.17 所示。

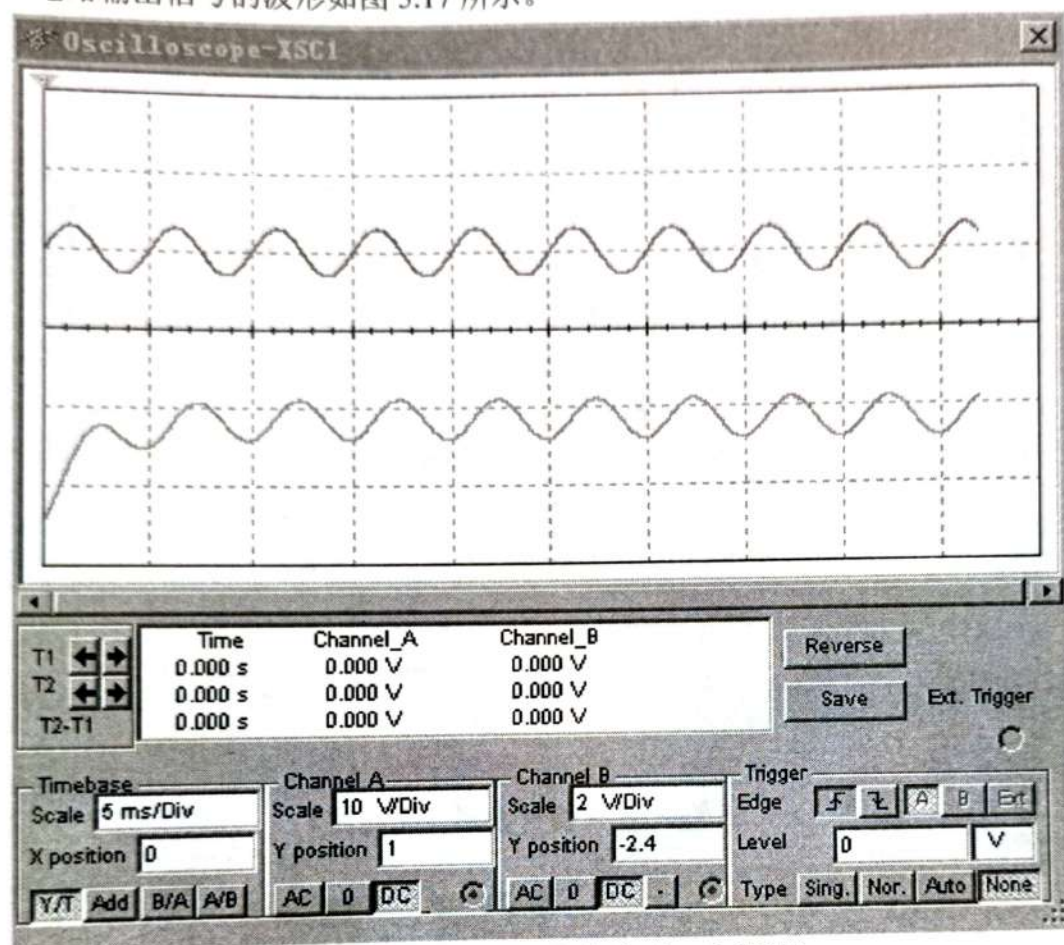


图 5.17 输入/输出信号波形 (有滤波)

上述电路完成了将一个模拟信号通过 A/D 转换电路变成一个数字信号, 再通过 D/A 转换电路变换回模拟信号的完整过程。

5.2.5 思考题

- 1、简单描述 A/D、D/A 转换的工作原理。
- 2、给一个 8 位 D/A 转换器输入二进制数 10000000 时, 其输出电压为 5V。问: 如果输入二进制数 00000001 和 11001101 时, D/A 转换器的输出模拟电压分别为多少?

第6章 Multisim 在数字电路中的 仿真应用

数字电路实验仿真是数字电路实验的重要环节,它不仅能加深学生对数字电路知识的理解和掌握,而且对学生方便快捷地验证数字逻辑关系的正确性、正确操作仪器仪表、观察电路仿真结果具有指导意义。NI公司的EDA仿真软件Multisim就是其中的一种优秀仿真软件。

6.1 Multism 概述

1、Multism 特点

Multisim 软件虚拟了一个数字电路仿真的工作台,为用户提供了各种逻辑门电路、编码器、译码器、加法器、触发器、组合逻辑器件、时序逻辑器件、脉冲信号源、发光二极管、数码管等数字电路常用器件。用户可以用这些器件自由搭建各种数字电路,几乎可以完成在实验室进行的所有实验,并且和实际实验情况非常接近。选用的元器件和仪器也和实际情况非常接近,一般会正确使用常规仪器的读者,都能较快地掌握软件所提供的虚拟仪器的使用方法。另外,它克服了传统电子产品的设计受实验室客观条件的限制,用虚拟的元器件搭建各种电路,用虚拟的仪表进行各种参数和性能指标的测试。

由于Multisim 软件是基于Windows 操作系统的,所以它的操作方法和其他基于Windows 环境下的软件操作方法类似,所见即所得。要用的元器件、仪器等,只要用鼠标单击,随时可以取来,完成参数设置,连接成电路,就可以启动运行,进行分析和测试等。因此Multisim 软件具有入门容易、学习轻松、结合实际、富有趣味的特点。

2、Multisim 用户界面

双击“Multisim”图标,系统开始启动Multisim 软件,Multisim 用户界面如图6.1所示。

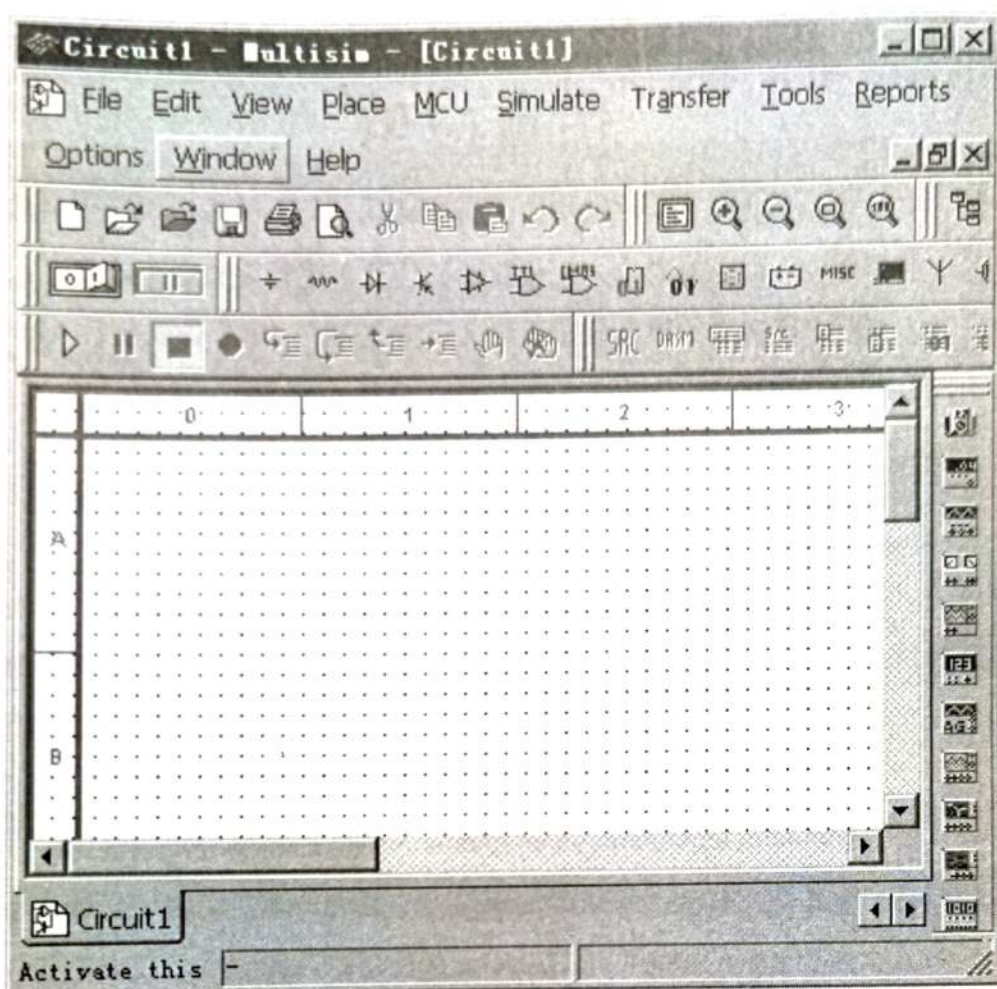


图 6.1 Multisim 用户界面图

用户界面主要由菜单栏 (Menu Bar)、标准工具栏 (Standard Tool)、元件工具栏 (Component Toolbar)、仿真电源开关 (Simulation Switch)、电路窗口 (Circuit Windows)、仪表工具栏 (Instruments Toolbar) 和状态栏 (Status Bar) 组成。其中, 菜单栏提供 Multisim 的绝大多数的功能命令, 标准工具栏包含有关电路窗口基本操作的按钮, 元件工具栏包含 Multisim 元件库, 而仪表工具栏包括状态栏主要用于显示当前的操作及所至条目的有关信息。

6.2 Multisim 仿真流程和步骤

1、Multisim 仿真流程

利用 Multisim 软件仿真数字电路实验主要包括创建电路图和电路仿真两大步骤。其中创建电路图包括输入和激励加入; 电路仿真则包括设置参数、运行仿真、

观察结果。

2、在 Multisim 中创建电路图

(1) 电路输入

Multisim 采用原理图直接输入的方式, 将电路仿真的整个过程简化到一个窗口内完成。

首先在电路窗口放置元件, 用鼠标单击 Multisim 用户界面窗口的元件工具栏, 如图 6.2 所示, 将电路所需元件从相应的库中调出, 并放置在合适的位置。



图 6.2 Multisim 用户界面窗口的元件工具栏

其次, 连接电路、编辑元件。用鼠标移到电路中模块的任意引脚, 可以看到一个黑色的圆点, 按下鼠标左键时可以引出连线, 连接到其他元件的所需连接的引脚。为了使创建完成后的电路符合工程习惯, 便于仿真, 可以对创建完成后的电路图进一步编辑。常用的编辑有: 调整元件、调整导线、修改元件的参考序号、修改元件的参数、显示电路节点号、保存电路文件等。

(2) 加入激励

Multisim 提供了在数字电路仿真实验中常用的激励源, 如图 6.3 所示, 主要包括有 Vcc 电压源、地 GND、时钟源、函数发生器和字信号发生器等。

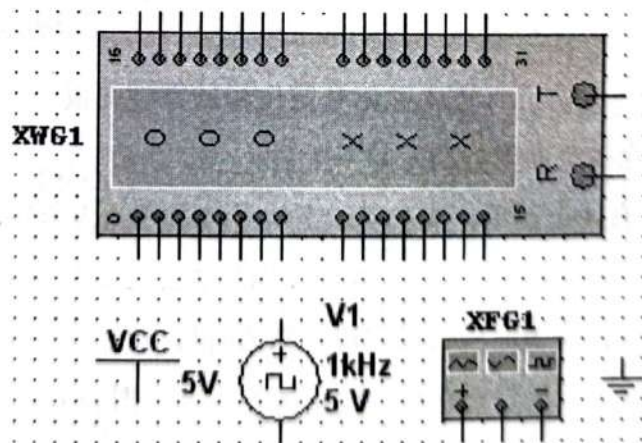


图 6.3 数字电路仿真实验中常用的激励源

数字电路的高电平 1 常用 VCC 电压 (一般为 5V) 来模拟; 数字电路的低电平 0 常用地 GND 来模拟; 图 6.3 中的时钟源和函数发生器输出方波为仿真电路提供时钟信号, 双击时钟源, 打开参数设置对话框, 其幅度、占空系数和频率可以根据需

要设置。

图 6.3 中的字信号发生器 (Word Generator) XWG1 是一个能产生 32 位同步逻辑信号的仪器, 用来对数字逻辑电路进行测试, 又称为数字逻辑信号源, 其功能是向被测电路直接提供多样化的测试信号, 所以在数字电路仿真中非常有用。在字信号发生器图表中的 0~15 号端子和 16~31 号端子, 是该信号发生器所产生信号的输出端, 每一个端子都可接入数字电路的输入端。下面讲 R 和 T 两个端子; R 为数据准备好输入端, T 为外触发信号输入端。双击字信号发生器 XWG1, 软件会弹出如图 6.4 所示的控制面板。

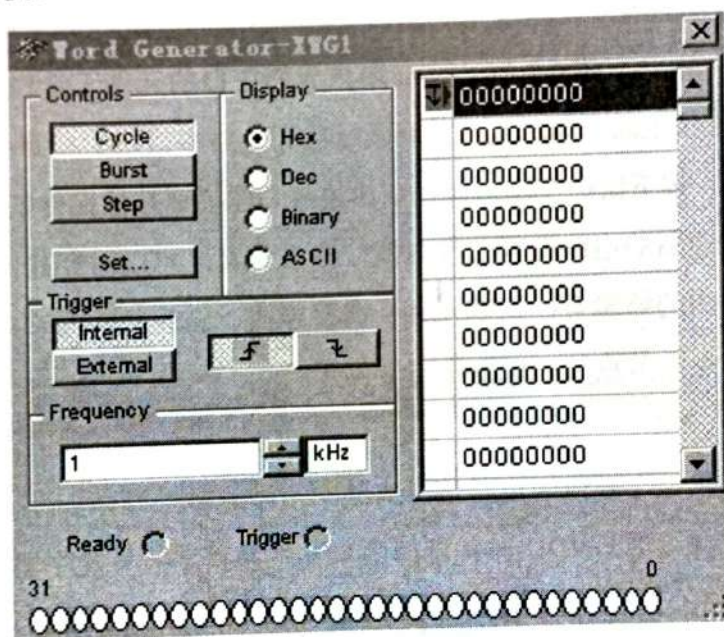


图 6.4 信号发生器的控制面板

字信号发生器控制面板的功能如下所述。

Display 区: 有 4 个选项, 依次表示字信号编辑区的内容输出显示方式, Hex 为十六进制显示, Dec 为十进制显示, ASCII 码为 ASCII 码的形式。

字信号编辑区: 位于面板的最右边, 当 Display 区中选 Hex 时, 32 位的字信号以十六进制形式进行编辑和存放, 编辑区的地址范围为 0000~03FFH, 共计 1024 条字信号。

Controls (控制) 区: 选择字信号发生器的输出方式, 该区有 4 个按钮, 功能分别为: Cycle (循环), 表示字信号在设置的地址初始值到终值之间以设定的频率周期性输出; Burst (单帧), 表示信号从设置地址初值逐条输出, 直到终值时自动停止; Step (单步), 表示每单击一次鼠标输入一条字符; Set... (设置), 设置模式和显示

模式。双击字信号发生器控制面板 Controls (控制) 区 Set...按钮, 软件会弹出图 6.5 所示的设置对话框。字信号发生器 Controls 区设置对话框提供了数据不变 (No Change)、数据输入 (Load)、数据保存 (Save)、数据清空 (Clear buffer)、数据递增计数器 (Up Counter)、数据递减计数器 (Down Counter)、数据右移 (Shift Right) 和数据左移 (Shift Left) 8 种选项。

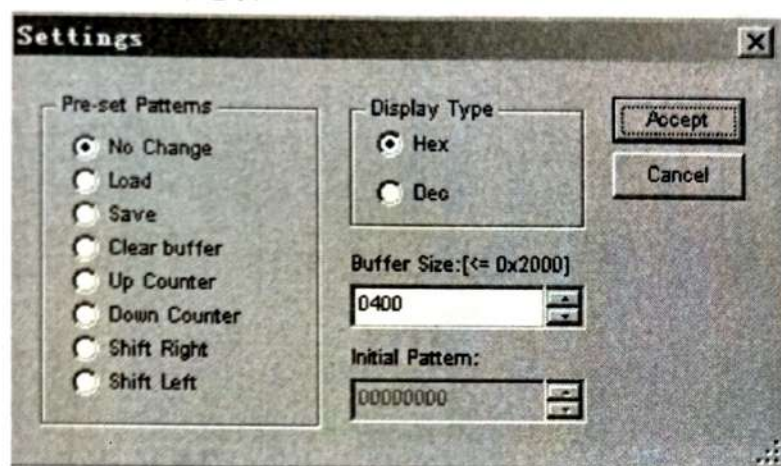


图 6.5 字信号发生器 Controls 区设置对话框

Trigger 区: 选择触发方式。该区有 4 个按钮, 其功能分别为: Internal 选择内部触发方式; External 选择外部触发方式, 必须介入外部触发脉冲信号, 只有外部触发脉冲信号到来时才启动输出; 上升沿触发; 下降沿触发。

Frequency 区: 设置输出的频率。

字信号输出区: 最下面一行共有 32 个圆圈, 以二进制码实时显示输出字信号各位状态。

(3) 输出显示

Multisim 提供了多种数字电路仿真实验的测试仪表如图 9.6 所示。利用这些测试仪表可以直接观察输出变量的特性及输入与输出之间的逻辑关系。常见仪表有数字多用表、示波器、彩色测试灯、电压表头、七段数码管、译码数码管和逻辑分析仪等。

图 6.6 中的 XLA1 仪表是逻辑分析仪, 它是一种有多路输入, 能存储数字数据的测试仪器。Multisim 提供的逻辑分析仪可以同步记录和显示 16 路逻辑信号, 用于对数字逻辑信号进行高速采集和时序分析。图标的左侧从上至下有 16 个输入信号端口, 使用时连接到电路的测量点。图标下部有三个端子, C 是外部时钟控制端, Q 是时钟控制输入端, T 是触发方式控制端。

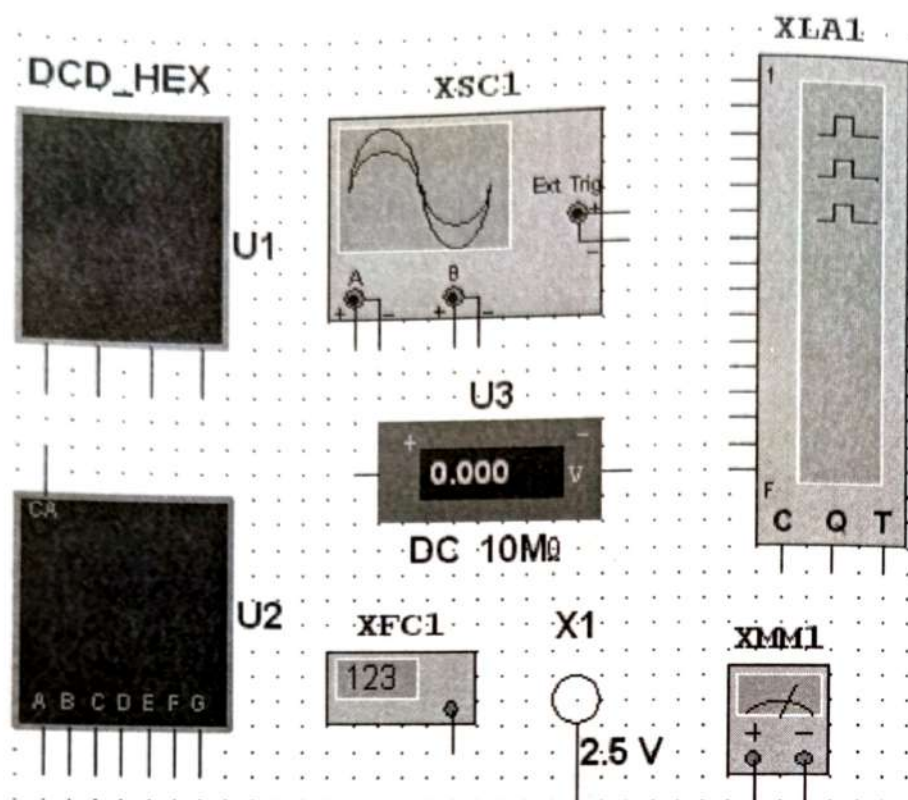


图 6.6 数字电路仿真实验使用的测试仪表

图 6.6 中的 U1、U2 和 X1 分别是译码数码管、七段数码管和彩色测试灯，均用于显示输出逻辑状态；XSC1 是双踪示波器，它不仅可以通过显示波形来测量信号的频率、幅度和周期等参数；XFC1 是频率计，用于测试电路频率的仪表；XMM1 和 U3 分别是数字多用表和电压表头，用于测量电路电压、电流，这些仪表操作与实际仪表类似，所以不再介绍。

图 6.7 是逻辑分析仪控制面板，逻辑分析仪的面板共分为 5 个区，从上到下，从左到右各区功能分别如下所述。

显示区：可以显示 16 路输出结果的波形。

显示窗下部左边 3 个按钮：**Stop** 是停止仿真按钮，**Reset** 是逻辑分析仪复位并清除显示波形按钮，**Reverse** 是改变显示背景的颜色按钮。

显示窗下部左侧第二个区域：移动游标，可以读取所处位置波形的数据，其中 **T1** 和 **T2** 分别表示读数指针 1 和读数指针 2 离开时间基线零点的时间，**T1-T2** 表示两读数指针之间的时间差。右边小窗口显示读数指针 1 和读数指针 2 位置的 4 位十六进制数码。

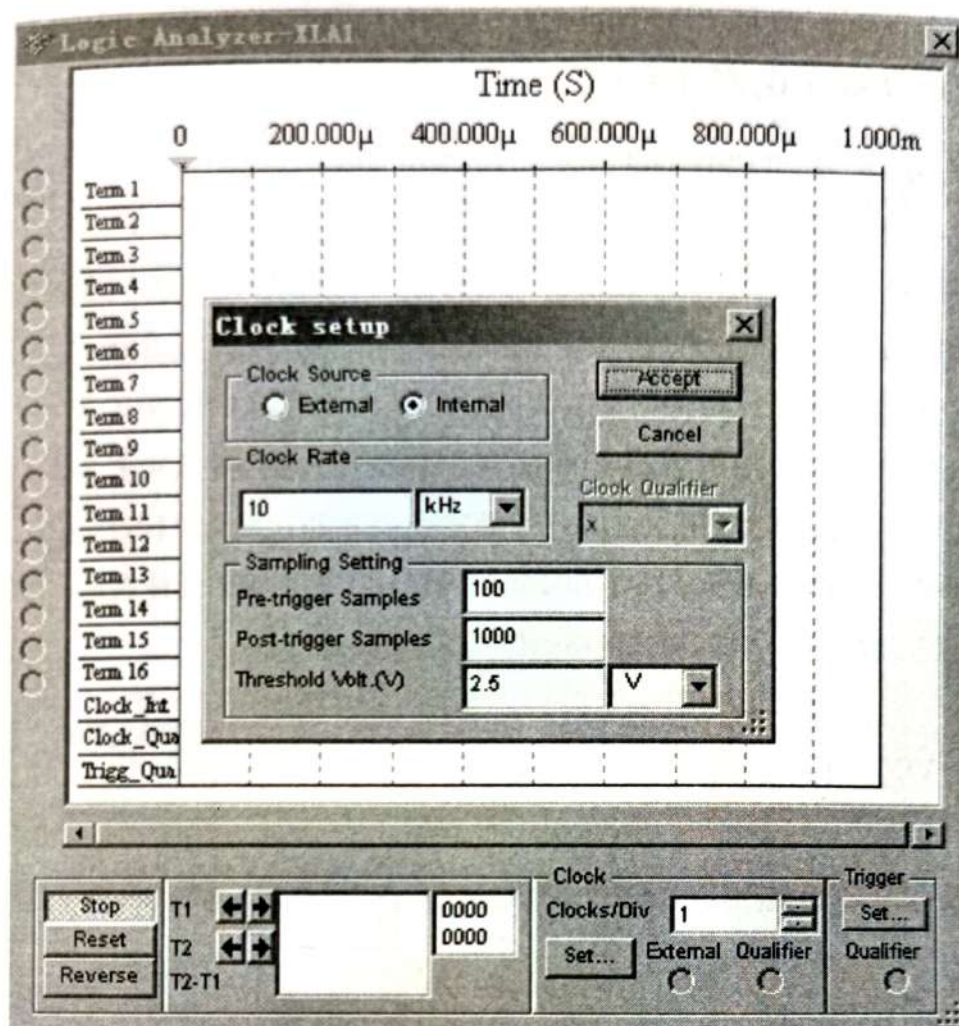


图 6.7 逻辑分析仪控制面板

Clock 区: Clock/Div 设置显示屏上每个水平刻度显示的时钟脉冲数, Set 设置时钟脉冲, External 表示由外部取得时钟脉冲, Qualifier 表示时钟先知。单击逻辑分析仪控制面板中的“Set...”按钮, 在图中显示区弹出的 Clock setup 是时钟设置对话框。

Trigger 区: 设置触发方式。单击“Set...”按钮可以设定触发方式、选择触发限定字和设置触发样本。

3、Multisim 仿真步骤

电路图创建完毕, 在 Multisim 中调用相关仪表, 并合理设置仪表参数, 单击仿真电源开关, 开始运行, 观察结束。注意在仿真过程中, 运行步长要合理选择, 便于仿真正确运行, 捕捉到相关信息。

6.3 Multisim 仿真举例

下面以创建 74LS161 的逻辑功能测试电路为例，说明 Multisim 的仿真。

1、创建电路图

启动 Multisim 软件后，单击用户界面的元件工具栏的“TTL”元件库按钮，在弹出的“Select a Component”对话框中选择 74LS161，在“Indicator”元件库中选 HEX_DISPLAY，在“Source”元件库中选 CLOCK_VOLTAGE、VCC 和地 GND，并设置 CLOCK_VOLTAGE 为 5V/100Hz；在“Basic”元件库中选 4 个 SPTD 开关，即 J1、J2、J3、和 J4，并连接到 74LS161 清零端 CLR 和计数使能 ENT、ENP。单击仪表元件库，选逻辑分析仪 XLA1 和译码数码管 U2，把所需的元件放到合适的位置后存盘保存，74LS161 功能测试电路的仿真图如图 6.8 所示。

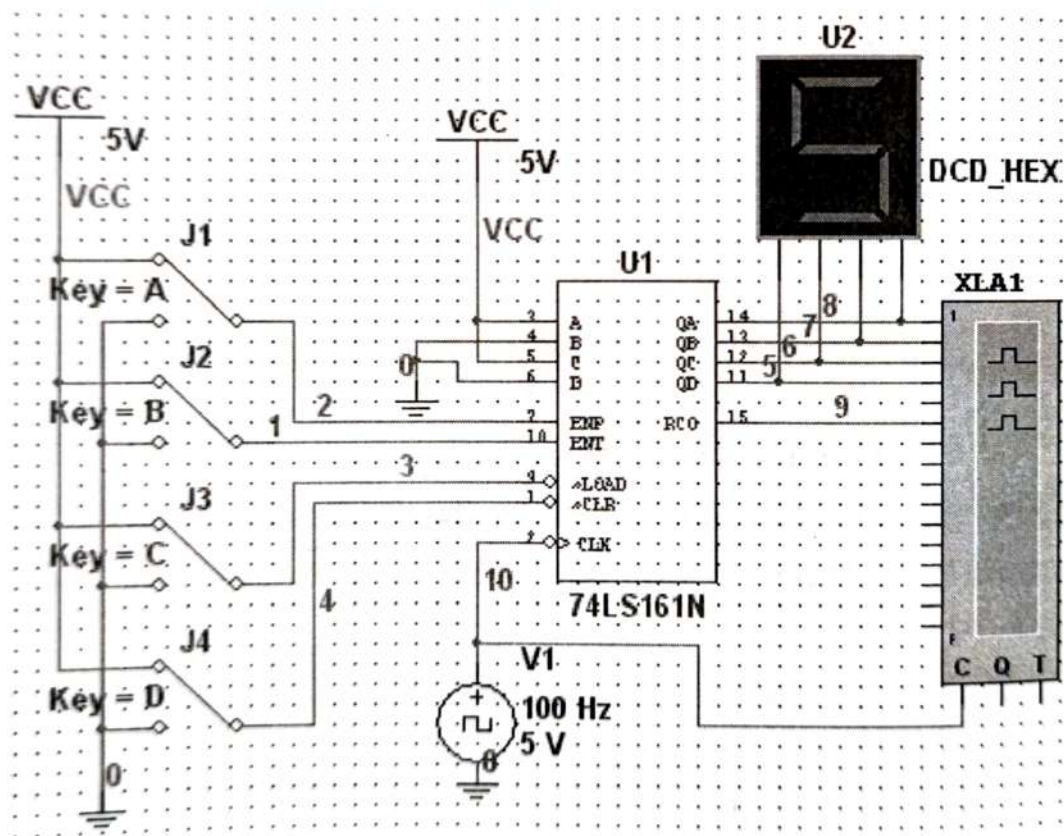


图 6.8 74LS161 功能测试电路仿真图

2. 仿真分析

单击仿真电源开关，开始运行，观察结果。图 6.9 是 74LS161 仿真时序图。由图 6.9 和译码数码管可以看出，74LS161 在时钟的作用下完成计数等逻辑功能。

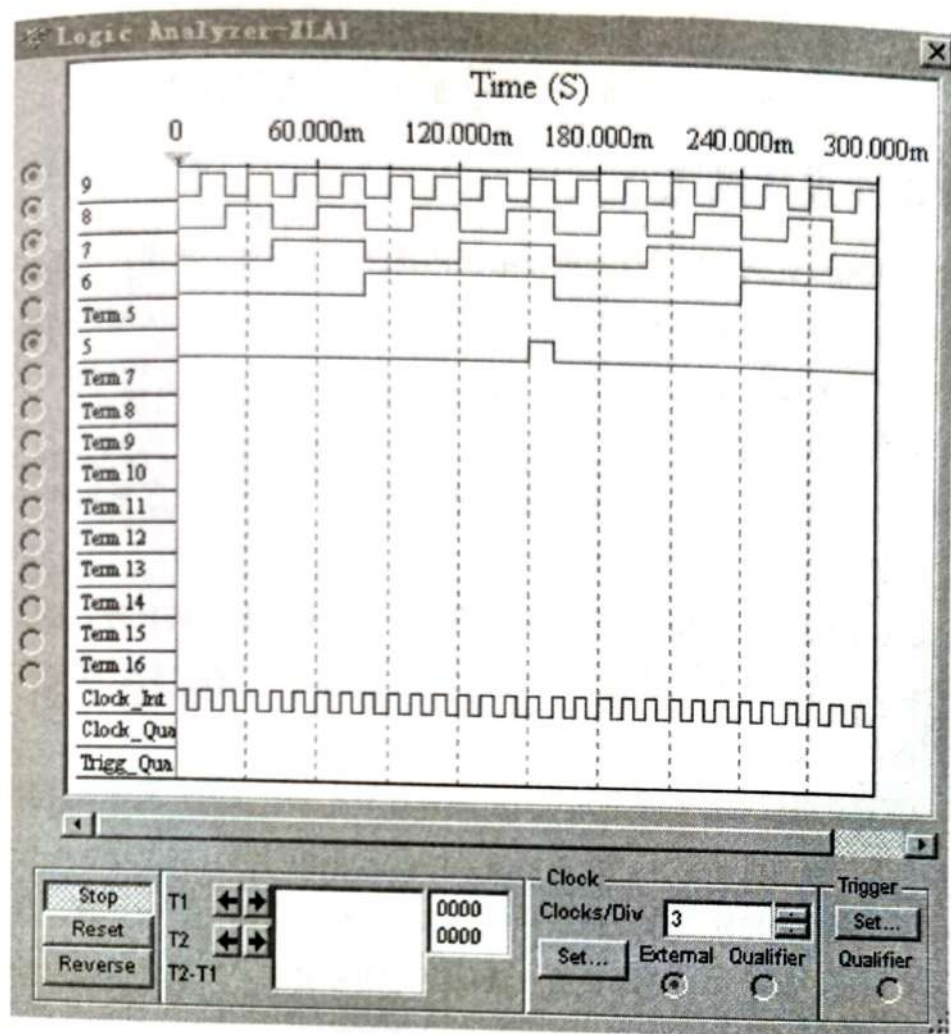


图 6.9 74LS161 仿真时序图

第 7 章 数字电路综合设计

7.1 数字电路设计概述

所谓数字电路设计就是指设计者根据给出的具体逻辑问题, 求出实现这一逻辑功能的电路。电路设计的主要任务是将设计要求转换为明确的、可实现的功能和技术指标, 确定可行的技术方案, 然后根据设计方案选择合适的器件, 实现设计要求。

1、数字电路设计方法

(1) 明确设计要求: 设计要求是数字电路的出发点和落脚点, 了解设计任务的具体要求, 对设计任务的完成有至关重要的意义。

(2) 确定总体方案: 根据掌握的知识和资料, 针对设计提出的任务、要求和条件, 设计合理、可靠、经济、可行的设计框架, 对其优缺点进行分析, 确定实现设计要求的方案。

(3) 根据设计框架进行电路单元设计、参数计算和器件选择: 具体设计时可以模仿成熟的电路进行改进和创新, 注意信号之间的关系和限制, 对时序电路要特别注意时序关系; 要根据电路工作原理和分析方法, 进行参数的估计与计算; 器件选择时, 其工作电压、频率和功耗等参数应满足电路指标要求, 原器件的极限参数必须留有足够的余量, 电阻和电容的参数应选择计算值附近的标称值, 注意 TTL 与 CMOS 器件的匹配和兼容。

(4) 电路 EDA 仿真: 对总体方案及硬件单元电路进行模拟分析, 以判断电路结构的正确性及性能指标的可实现性, 通过这种精确的量化分析, 指导设计以实现系统结构或电路特性模拟及参数优化设计, 避免电路设计出现大的差错。

(5) 电路原理图的绘制: 电路原理图是组装、焊接、调试和检修的依据。

(6) 电路板的 PCB 设计: 电路原理图完毕后还必须进行电路的 PCB 设计, PCB 设计是在芯片设计的基础上, 通过对芯片和其他电路元件之间的连接, 把各种原器件组合起来, 构成完整的电路系统。

(7) 电路的组装和调试: 组装和调试是验证电路的重要环节。电路组装包括审图、元器件的预处理、电路板布局和电路焊接; 电路调试包括调试准备、静态调试、动态调试、指标测试几个环节。

2、数字电路设计性实验报告撰写

设计性实验报告主要包括以下几点:

- (1) 课题名称;
- (2) 内容摘要;
- (3) 设计内容及要求;
- (4) 比较和选择的设计方案;
- (5) 单元电路设计、参数计算和器件选择;
- (6) 完整的电路图, 并说明电路的工作原理;
- (7) 电路 EDA 仿真原理图、波形图及仿真结论;
- (8) 组装调试的内容, 如使用的主要仪器和仪表, 调试电路的方法和技巧, 测试的数据和波形, 并与计算结果进行比较分析, 调试中出现的故障、原因及排除方法;
- (9) 设计电路的特点和方案的优缺点, 课题的核心及实用价值, 改进意见和展望;
- (10) 收获、体会;
- (11) 元器件清单;
- (12) 参考文献。

7.2 彩灯循环控制器的设计

现代生活中, 彩灯越来越成为人们的装饰品, 它不仅能美化环境, 渲染气氛, 还可以用于娱乐场所和电子玩具中, 是数字逻辑电路实验的典型电路。

题目: 彩灯控制电路的设计

技术指标: 该控制器控制红、绿、黄三只发光管循环发光, 要求红灯亮 2s, 绿灯亮 3s, 黄灯亮 1s。

设计要求: 该循环控制电路采用 555 定时器、同步十进制计数器 74LS160N 和 3-8 线译码器 74LS138N 组成, 要求画出电路图, 先进行 Multisim 仿真。

设计说明和提示: 555 定时器组成多谐振荡器, 输出频率为 30Hz 的矩形脉冲。因为循环彩灯对频率的要求不高, 只要能产生高低电平就可以了, 且脉冲信号的频率可调, 所以采用 555 定时器组成的振荡器, 其输出的脉冲作为下一级的时钟信号。计数器是用来累计和寄存输入脉冲个数的时序逻辑部件。74LS160N 是同步十进制计数器, 当输入周期性脉冲信号时, 其输出为二进制数形式, 并且随着脉冲信号的输

入, 其输出在 0000—0101 之间循环变化。74LS138N 是 3-8 线译码器, 具有 3 个地址输入端和 3 个选通端及 8 个译码器输出端 Y0-Y7。通过 3-8 线译码器 74LS138N, 使其输出按照红灯亮 2s 绿灯亮 3s 黄灯亮 1s 规律变化。

按照已经仿真通过电路图, 用 555 定时器、74LS160N、74LS00N、74LS04N 和 74LS138N 及电阻和电容等元件搭建实际电路, 先调试以 555 定时器核心器件组成的振荡电路, 选择合适的电阻值, 使其输出一个频率为 30Hz 的脉冲信号, 然后调试由 74LS160N 和 74LS00N 组成的计数电路, 再调试由 74LS138N 和 74LS04N 组成的脉冲分配电路, 观察 LED 的发亮和熄灭状态, 检查电路输出是否符合设计要求。

7.3 抢答器的设计

抢答器是竞赛问答中一种常用的必备装置, 从原理上讲, 它是一种典型的数字电路, 其中包括组合逻辑电路和时序电路。

题目: 抢答器的设计

技术指标:

- (1) 抢答器同时供 8 名选手比赛, 分别用 8 个按钮 S1~S8 表示。
- (2) 设置一个系统清除和抢答控制开关 S, 该开关由主持人控制。
- (3) 抢答器具有锁存与显示功能, 即选手按动按钮, 锁存相应的编号, 并在 LED 数码管上显示。选手抢答实行优先锁存, 优先抢答选手的编号一直保持到主持人将系统清除为止。

设计要求: 该抢答电路主要由控制电路、触发锁存电路、优先编码电路、译码显示器组成。采用优先权编码器 74LS148、RS 触发器组成, 要求画出电路图并进行 EDA 仿真。

设计说明和提示: 接通电源后, 主持人将开关拨到“清除”状态, 抢答器处于禁止状态, 编号显示器灭灯; 主持人将开关置“开始”状态, 抢答器工作。选手在规定时间内抢答, 抢答器完成优先判断、编码锁存、编码显示。抢答器电路完成两个功能: 一是分辨出选手按键的先后, 并锁存优先抢答者的编号, 同时译码显示电路显示编号; 二是禁止其他选手按键操作无效。其工作过程是开关 S 置于“清除”时, RS 触发器的 Q 端均为 0, 4 个 RS 触发器输出置 0, 使 74LS148N 的输出均为 0, 译码显示 0; 当开关 S 置于“开始”时, 抢答器处于等待工作状态, 当有选手将按

键按下时(如按下 J1), 74LS148 的输出经 RS 锁存后 $D0=0$, 其他按键为 1, 74LS148 处于工作状态, $A_0A_1A_2=001$, 经译码显示为“1”。

7.4 数字秒表的设计

时钟类项目包含电子秒表、数字钟、电子计时和定时器等电子小系统, 这些小系统都以标准时间为基准, 主要用来实现时间显示、时间控制和报警等功能, 因此它们在系统组成上类似, 一般有时钟发生器、计数分频器、延时、自动清零、译码显示和报警等单元电路。

题目: 数字秒表的设计

技术指标:

(1) 计时范围 0.0—9.9 秒。

(2) 具有启停控制功能。启动时, 秒表从 0.0 秒开始计时; 停止时, 秒表显示当前时间值。

设计要求: 采用 555 定时器、十进制计数器/分频器 CD4017、双 BCD 同步加计数器 CD4518、译码器 CD4511 组成, 要求画出电路图并进行 EDA 仿真。

设计说明和提示: 该秒表的电路框图如下图 7.1 所示, 主要由振荡电路、分频电路、计数电路、显示电路、启停控制电路等组成。

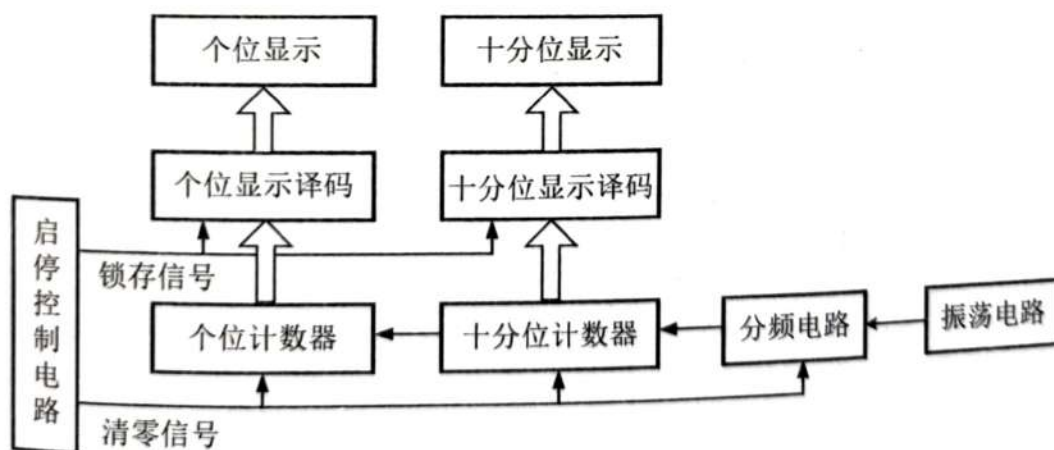


图 7.1 数字秒表电路框图

