

## 浙江理工大学 2016 —2017 学年第 二 学期

### 《计算机组成原理》期末试卷（ A ）卷

本人郑重承诺：本人已阅读并且透彻地理解《浙江理工大学考场规则》，愿意在考试中自觉遵守这些规定，保证按规定的程序和要求参加考试，如有违反，自愿按《浙江理工大学学生违纪处分规定》有关条款接受处理。

承诺人签名：\_\_\_\_\_ 学号：\_\_\_\_\_ 班级：\_\_\_\_\_

一、单选题（在每小题四个备选答案中选出一个正确答案。每小题 2 分，共 20 分）

- 冯·诺伊曼机工作方式的基本特点是指\_\_\_\_\_。  
A. 多指令流单数据流 B. 按地址访问并顺序执行指令  
C. 堆栈操作 D. 存储器按内部选择地址
- 在机器中，\_\_\_\_\_零的表示形式是唯一的。  
A. 原码 B. 补码 C. 反码 D. 原码和反码
- 长度相同但格式不同的 2 种浮点数，假定前者价码段长、尾数短，后者价码段短、尾数长，其它规定均相同，则它们可表示的数的范围和精度为\_\_\_\_\_。  
A. 两者可表示的数的范围和精度相同 B. 前者可表示的数的范围大但精度低  
C. 后者可表示的数的范围大且精度高 D. 前者可表示的数的范围大且精度高
- 在定点运算器中，无论采用双符号位还是单符号位，必须有\_\_\_\_\_，它一般用\_\_\_\_\_来实现。  
A. 译码电路，与非门 B. 编码电路，或非门  
C. 溢出判断电路，异或门 D. 移位电路，与或非门
- EPROM 是指\_\_\_\_\_。  
A. 只读存储器 B. 随机存储器  
C. 可编程只读存储器 D. 可擦写可编程只读存储器
- 针对 8 位二进制数，下列说法中正确的事\_\_\_\_\_。  
A. -127 的补码为 10000000 B. -127 的反码等于 0 的移码  
C. +1 的移码等于-127 的反码 D. 0 的补码等于-1 的反码
- 假定下列字符码中有奇偶校验位，但没有数据错误，采用偶校验的字符码是\_\_\_\_\_。  
A. 11001011 B. 11010110 C. 11000001 D. 11111001
- 下列关于主存储器的描述，不正确的是\_\_\_\_\_。  
A. SRAM 和 DRAM 都是易失性存储器  
B. ROM 存储器的内容是预置的，固定的，无法改写  
C. 多模块交叉存储器主要是解决主存空间不够大的问题  
D. CACHE 存储器是为了解决 CPU 和主存之间在速度上不匹配的问题
- 计算机操作的最小单位时间是\_\_\_\_\_。  
A. 时钟周期 B. 指令周期 C. 机器周期 D. 中断周期
- 计算机系统主存储器系统是指\_\_\_\_\_。  
A. RAM 存储器 B. ROM 存储器 C. 主存储器 D. cache、主存储器和外存储器

- 二、填空题（每空 1 分，共 15 分。）

- $(1101.01)_2 = (\quad)_{10}$ ， $(1109)_{10} = (\quad)_8$ 。
- 0.1011 的原码表示是\_\_\_\_\_、补码表示是\_\_\_\_\_、反码表示是\_\_\_\_\_、移码表示是\_\_\_\_\_。
- 补码采用双符号位的方法进行溢出检测时，若运算结果中两个符号位\_\_\_\_\_则表明发生了溢出。若结果的符号位为\_\_\_\_\_，表示发生正溢出；若为\_\_\_\_\_，表示发生负溢出。
- CPU 中，保存当前正在执行的指令的寄存器为\_\_\_\_\_，保存下一条指令地址的寄存器为\_\_\_\_\_，保存 CPU 访问地址的寄存器为\_\_\_\_\_。
- Am2901 芯片是 4 位并行运算器，Am2902 是实现\_\_\_\_\_进位的进位逻辑。若用 Am2901 芯片和 Am2902 芯片实现 64 位并行运算，共需要\_\_\_\_\_片 Am2901 和\_\_\_\_\_片 Am2902。

### 三、简答题（共 25 分）

- 如图 1 表示用快表（页表）的虚实地址转换条件，快表放在相联存储器中，其容量为 8 个存储单元，问：（本题 9 分）  
(1) CPU 按虚地址 1 去访问主存时主存的实地址码是多少？  
(2) 当 CPU 按虚地址 2 去访问主存时主存的实地址码是多少？  
(3) 当 CPU 按虚地址 3 去访问主存时主存的实地址码是多少？

页号	该页在主存中的起始地址	虚拟地址	页号	页内地址
33	42000	1	15	0324
25	38000			
7	96000	2	7	0128
6	60000			
4	40000	3	48	0516
15	80000			
5	54000			
30	70000			

图 1

- 何谓多级存储体系结构？请简要论述设计多级存储体系结构的目的是和其之所以能发挥效用的原因。（本题 6 分）
- 简述 AM2910 芯片 2 号命令和 14 号命令的功能。（本题 5 分）
- CPU 如何识别从主存取出的信息是指令还是数据？（本题 5 分）

### 四、综合题（共 40 分）

- 求证： $[X]_n + [Y]_n = [X + Y]_n$
- 设有 4 位有效信息，3 位校验码，试为之编制海明校验线路，说明编码方法，写

出三个校验码和三个校验和公式，并分析所选方案具有怎样的检错与纠错能力。

若 4 位信息为 1011，海明码是何值？

3. 已知某 16 位机的主存采用半导体存贮器，地址码为 18 位，若使用  $8K \times 8$  位 SRAM 芯片组成该机所允许的最大主存空间，并选用模块板结构形式。问：

(1) 若每个模块为  $32K \times 16$  位，共需几个模块板？

(2) 每个模块内共有多少片 RAM 芯片？地址线如何连接实现模块板内主存容量的字、位扩展？

(3) 主存共需多少 RAM 芯片？CPU 如何选择模块板？

4. 某条加法指令实现把用绝对地址表示的内存单元 ADDR 的内容与立即数 Imm 相加，结果存到地址为 ADDR 的内存单元中，指令格式如下：

D4XX
Imm
ADDR

功能： $Imm + [ADDR] \rightarrow [ADDR]$ ；原理性地说明在 TEC-2 机器上实现该机器指令需要多少条微指令（不含取指微指令）？每条微指令的主要功能是什么？

# 浙江理工大学 2016 —2017 学年第 二 学期

## 《 计算机组成原理 》 期末试卷 ( A ) 卷标准答案和评分标准

### 一、单选题 ( 每小题 2 分 , 共 20 分 )

1	2	3	4	5	6	7	8	9	10
B	B	B	C	D	B	D	C	A	D

### 二、填空题 ( 每空 1 分 , 共 15 分 )

1. 13.25、2125
2. 原码 11011、补码 10101、反码 10100、移码 00101
3. 不相同、01、10
4. 指令寄存器、程序计数器 PC、地址寄存器 AR
5. 组间并行或 Am2901 芯片之间并行、16、5

### 三、简答题 ( 共 25 分 )

1. 答: ( 9 分)

(1) 用虚拟地址为 1 的页号 15 作为快表检索项, 查得页号为 15 的页在主存中的起始地址为 80000, 故将 80000 与虚拟地址中的页内地址码 0324 相加, 求得主存实地址码为 80324。

(2) 主存实地址码 =  $96000 + 0128 = 96128$

(3) 虚拟地址 3 的页号为 48, 当用 48 作检索项在快表中检索时, 没有检索到页号为 48 的页面, 此时操作系统暂停用户作业程序的执行, 转去执行查页表程序。如该页面在主存中, 则将该页号及该页在主存中的起始地址写入快表; 如该页面不存在, 则操作系统要将该页面从外存调入主存, 然后将页号及其在主存中的起始地址写入快表。

2. 答: 多级存储体系结构一般可分为高速缓冲存储器 (cache)、主存、辅存三个层次。设计多级存储体系结构的目的是为了解决存储系统尽可能高的存取速度, 尽可能大的存储容量以及尽可能低的成本之间的矛盾。Cache 是高速小容量的存储器, 利用 CPU 运行程序的局部性原理, 把最活跃的程序和数据放到 cache 中, 则从 CPU 的角度看存储系统, 看到的是 cache 的速度、主存的容量和接近主存的价格。辅存是大容量的存储器, 存放大量 CPU 暂时不用的程序和数据, 当 CPU 需要时再从辅存把程序和数据调入主存, 以满足计算机对大容量存储的要求。主存有适当的容量和存取速度, 能容纳系统的核心软件和较多较大的用户程序。(6 分)

3. 答: 2 号命令完成指令功能分支, 即根据机器指令的操作码形成用来解释执行该机器指令的微程序的入口地址。14 号命令的功能是顺序执行下一条微指令。(5 分)

4. 答: 一般来讲, 取指周期中从内存读出的信息流是指令流, 它流向控制器; 而在执行周期中从内存读出或送入内存的信息流是数据流, 它由内存流向运算器, 或由运算器流向内存(5 分)

### 四、综合题 ( 每小题 10 分 , 共 40 分 )



1. 证明: (1)  $x > 0, y > 0$ , 则  $x + y > 0$

$$[X]_{\text{补}} + [Y]_{\text{补}} = x + y = [X + Y]_{\text{补}} \quad (\text{mod } 2)$$

(2)  $x > 0, y < 0$ , 则  $x + y > 0$  或  $x + y < 0$

$$\text{因为 } [X]_{\text{补}} = x, [Y]_{\text{补}} = 2 + y$$

$$\text{所以 } [X]_{\text{补}} + [Y]_{\text{补}} = x + 2 + y = 2 + (x + y)$$

当  $x + y > 0$  时,  $2 + (x + y) > 2$ , 进位 2 必丢失, 又因  $(x + y) > 0$ , 所以

$$[X]_{\text{补}} + [Y]_{\text{补}} = x + y = [X + Y]_{\text{补}} \quad (\text{mod } 2)$$

当  $x + y < 0$  时,  $2 + (x + y) = [X + Y]_{\text{补}}$ , 所以

$$[X]_{\text{补}} + [Y]_{\text{补}} = 2 + x + y = [X + Y]_{\text{补}} \quad (\text{mod } 2)$$

(3)  $x < 0, y > 0$ , 则  $x + y > 0$  或  $x + y < 0$

这种情况和第 2 种情况一样, 把  $x$  和  $y$  的位置对调即得证。

(4)  $x < 0, y < 0$ , 则  $x + y < 0$

$$\text{因为 } [X]_{\text{补}} = 2 + x, [Y]_{\text{补}} = 2 + y$$

$$\text{所以 } [X]_{\text{补}} + [Y]_{\text{补}} = 2 + x + 2 + y = 2 + (2 + x + y)$$

上式第二部分一定是小于 2 大于 1 的数, 进位 2 必丢失, 又因  $(x + y) < 0$

$$\text{所以 } [X]_{\text{补}} + [Y]_{\text{补}} = 2 + (x + y) = [X + Y]_{\text{补}} \quad (\text{mod } 2)$$

2. 解:

(一) 海明码的编码规律:

(1) 校验位与数据位之和为  $m$ , 每个校验位  $P_i$  在海明码中被分在位号  $2^{i-1}$  的位置, 其余各位为数据位, 并按从低向高逐位依次排列的关系分配各数据位。

(2) 海明码的每一位码  $H_i$  (包括数据位和校验位本身) 由多个校验位校验, 其关系是被校验的每一位位号要等于校验它的各校验位的位号之和。这样安排的目的, 是希望校验的结果能正确反映出出错位的位号。  $m = k + r = 4 + 3 = 7$

能发现并自动纠正移位错。

(二)  $H_7H_6H_5H_4H_3H_2H_1, D_4D_3D_2P_3D_1P_2P_1$

海明码位号	数据位/校验位	参与校验的校验位号	被校验位的海明码位号=校验位位号之和
H1	P1	1	1=1
H2	P2	2	2=2
H3	D1	1, 2	3=1+2
H4	P3	4	4=4
H5	D2	1, 4	5=1+4
H6	D3	2, 4	6=2+4
H7	D4	1, 2, 4	7=1+2+4

$$P1 = D1 \oplus D2 \oplus D4$$

$$S1 = P1 \oplus D1 \oplus D2 \oplus D4$$

$$P2 = D1 \oplus D3 \oplus D4$$

$$S2 = P2 \oplus D1 \oplus D3 \oplus D4$$

$$P3 = D2 \oplus D3 \oplus D4$$

$$S3 = P3 \oplus D2 \oplus D3 \oplus D4$$

(三) 海明校验线路略  $D_4D_3D_2D_1=1011$

(四) 海明码:  $P_1=D_1 \oplus D_2 \oplus D_4=1$ ,  $P_2=D_1 \oplus D_3 \oplus D_4=0$ ,  $P_3=D_2 \oplus D_3 \oplus D_4=0$ ,  $D_4D_3D_2P_3D_1P_2P_1=1010101$ 。

3.解: (1) 由于主存地址码给定 18 位, 所以最大空间为  $2^{18}=256K$ , 主存的最大容量为 256K。现在每个模块板的存贮容量为 32KB, 所以主存共需  $256KB/32KB=8$  块板。

(2) 每个模块板的存贮容量为 32KB, 现用  $8K \times 8$  位的 SRAM 芯片。每块板采用位并联与地址串联相结合的方式: 即用 2 片 SRAM 芯片拼成  $8K \times 16$  位 (共 4 组), 用地址码的低 13 位 ( $A_0 \sim A_{12}$ ) 直接接到芯片地址输入端, 然后用地址码的高 2 位 ( $A_{14} \sim A_{13}$ ) 通过 2: 4 译码器输出分别接到 4 组芯片的片选端。共  $4 \times 2=8$  个 SRAM

(3) 根据前面所得, 共有 8 个模板, 每个模板上有 8 片芯片, 故主存共需  $8 \times 8=64$  片芯片 (SRAM)。

CPU 选择各模块板的方法是: 各模块板内均用地址码  $A_0 \sim A_{14}$  译码, 而各模块的选择用地址码最高三位  $A_{17}$ ,  $A_{16}$ ,  $A_{15}$  通过 3: 8 译码器输出进行选择。

4.答: 共需要 6 条微指令

1.  $PC \rightarrow AR$ ,  $PC+1 \rightarrow PC$ , 为读取第一个操作数 (即 Imm) 作准备;
2.  $MEM \rightarrow Q$ , 读取第一个操作数 (即 Imm) 送 Q 寄存器;
3.  $PC \rightarrow AR$ ,  $PC+1 \rightarrow PC$ , 为读取第二个操作数的地址 ADDR 作准备;
4.  $MEM \rightarrow AR$ , 读取第二个操作数地址, 为读取第二个操作数 [ADDR] 作准备;
5.  $MEM+Q \rightarrow Q$ , 读取第二个操作数 [ADDR], 并完成加法运算, 结果送 Q 寄存器;
6.  $Q \rightarrow MEM$ ,  $CC\# = 0$ ; 结果送原来第二个操作数所在单元, 并转去 A4 进行中断检测。