

第一章 逻辑代数基础

1. 逻辑函数式 $Y = (A + \overline{B})\overline{C} + \overline{D}$ 的反演式为_____
2. 在下列不同进制的数中，数值最大的数是（ ）
A. $(51)_{10}$ B. $(101010)_2$ C. $(3E)_{16}$ D. $(01011001)_{8421\text{BCD}}$
3. 用卡诺图化简下式为最简与或式。
 $Y(A,B,C,D) = \sum m(0,2,4,5,6,8,9) + \sum d(10,11,12,13,14,15)$
4. 已知 $F = \overline{ABC} + \overline{CD}$ 选出下列可以肯定使 $F=0$ 的情况（ ）
A. $A=0, BC=1$ B. $B=C=1$ C. $D=0, C=1$ D. $BC=1, D=1$
5. 是 8421BCD 码的是（ ）。
A、1010 B、0101 C、1100 D、1101
6. 欲对全班 43 个学生以二进制代码编码表示，最少需要二进制码的位数是（ ）。
A、5 B、6 C、8 D、43
7. 逻辑函数 $F(A,B,C) = AB + B\overline{C} + A\overline{C}$ 的最小项标准式为（ ）。
A、 $F(A,B,C) = \sum m(0,2,4)$ B、 $F(A,B,C) = \sum m(1,5,6,7)$
C、 $F(A,B,C) = \sum m(0,2,3,4)$ D、 $F(A,B,C) = \sum m(3,4,6,7)$
8. 用代数法化简下式为最简与或式。
 $F = A + \overline{A}BCD + \overline{A}\overline{B}\overline{C} + BC + \overline{B}C$

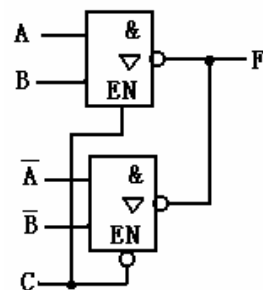
判断题

1. 若两个函数具有不同的真值表，则两个逻辑函数必然不相等。（ ）
2. 已知逻辑函数 $A+B=A+C$ ， $AB=AC$ ，则 $B=C$

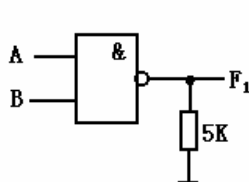
第二章 门电路

1. 举出两个 CMOS 电路（与 TTL 电路相比）的主要优点：_____。

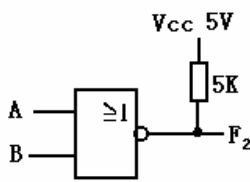
2. 右图所示为 TTL 门，其逻辑函数表达式为
 $F = \underline{\hspace{2cm}}$ 。



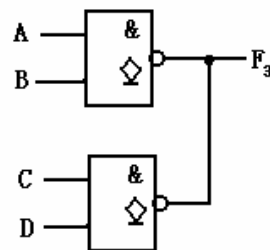
3. 分析图示各 TTL 门电路能否按各图要求的逻辑关系正常工作，说明理由。已知 TTL 门的 $I_{OH} = 0.4\text{mA}$ ， $I_{OL} = 10\text{mA}$ ， $V_{OH} = 3.6\text{V}$ ， $V_{OL} = 0.3\text{V}$ 。



$$F_1 = \overline{AB}$$



$$F_2 = \overline{A+B}$$



$$F_3 = \overline{AB} \bullet \overline{CD}$$

判断题

4. 三态门的三种状态分别为：高电平、低电平、不高不低的电压。（ ）
5. TTL OC 门（集电极开路门）的输出端可以直接相连，实现线与。（ ）

第三章 组合逻辑电路

1. 一个 4 选 1 的数据选择器，应具有_____个地址输入端_____个数据输入端。
2. 组合电路由_____构成，它的输出只取决于_____而与原状态无关。
3. 一个十六选一的数据选择器，其地址（选择控制）输入端有（ ）个。
- A、1 B、2 C、4 D、16
4. 若在编码器中有 50 个编码对象，则要求输出二进制代码位数为（ ）位。
- A. 5 B. 6 C. 10 D. 50
5. 101 键盘的编码器输出（ ）位二进制代码。
- A. 2 B. 6 C. 7 D. 8
6. （判断题）二进制译码器相当于是一个最小项发生器，便于实现组合逻辑电路（ ）。
7. 试用 4 选 1 数据选择器 74LS153 产生逻辑函数 $Y = A\overline{B}\overline{C} + \overline{A}\overline{C} + BC$

8. 现有三台用电设备，每台功率为 10KW。由两台发电机供电，其中一台功率大于 10KW，另一台大于 20KW。三台设备至少有一台在工作，也可能两台或三台同时工作。试根据节能的原则（尽量少开发电机）设计发电机的逻辑控制电路。要求

- (1) 列出真值表；(2) 写出最简与或表达式；
- (3) 写出用最少的与非门实现发电机的逻辑控制电路的与非-与非表达式；
- (4) 用 ROM 实现两个发电机的逻辑控制电路，画点阵图。

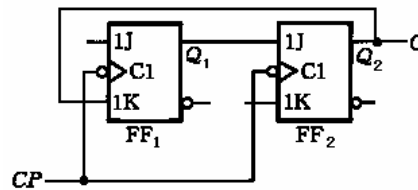
9. 试用双四选一数据选择器实现一个可控加减运算电路， $X=0$ 作加法。
10. 试用与非门设计一组合电路，该电路输入为一位 8421BCD 码，当输入为奇数时，输出为 i_1 ，否则为 i_0 。（输入只提供原变量）

第四章 触发器

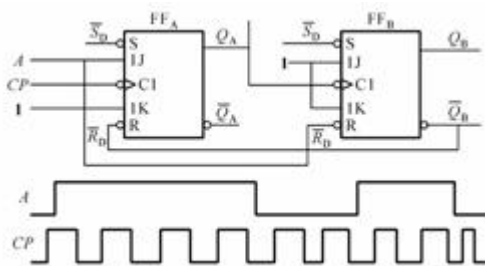
1. 下图为 TTL 电路，触发器的初始状态为 $Q_2Q_1=00$ 。要求：

- (1) 写出触发器的驱动方程、状态方程、电路的输出方程；
- (2) 画出电路的状态转换图，说明其逻辑功能。
- (3) 画出在 4 个 CP 作用下 Q_1 、 Q_2 、C 的时序图。

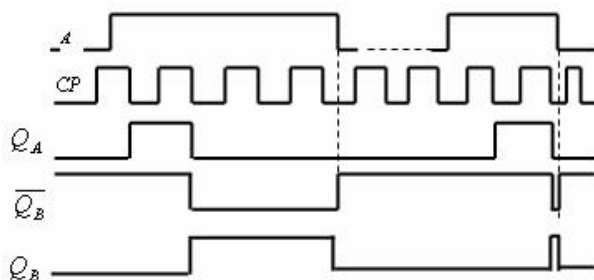
2. 习题 4-18



3. 由负边沿 JK 触发器组成的电路及 CP、A 的波形如图所 示，试画出 QA 和 QB 的波形。设 QA 的初始状态为 0。



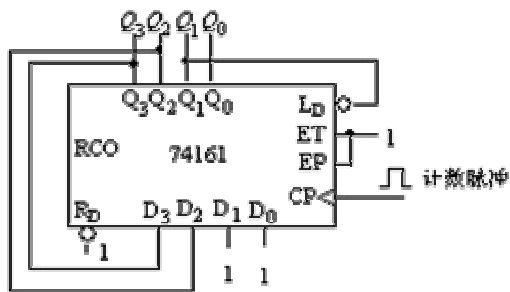
解：在画该电路的波形时，注意有二个复位信号，其它按 JK 触发器的功能画即可。



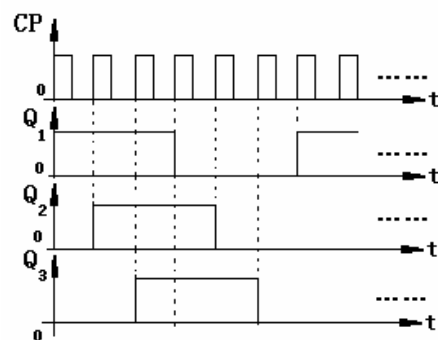
第五章 时序逻辑电路

1. 实现有 20 个状态的同步时序电路最少需用_____个触发器，这样就有_____个无效状态。
2. 五位扭环形计数器的时钟频率为 10KHz，其输出频率为（ ）

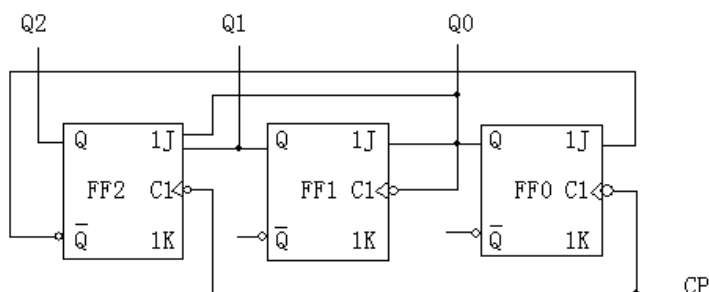
- A. 50 KHz B. 100 KHz C. 1KHz D. 2KHz
3. 如将 JK 触发器的 J 端和 K 端并联后接高电平, 经过 12 个 CP 脉冲作后, Q 端的状态为 0, 可以推出该触发器 Q 端的最初状态是 ()
- A. Q=0 B. Q=1 C. Q=0 或 Q=1 都可以 D. 不定
4. 在移位寄存器中采用并行输出比串行输出 ()。
- A、快 B、慢 C、一样快 D、不确定
5. 用触发器设计一个 24 进制的计数器, 至少需要()个触发器。
- A、3 B、4 C、6 D、5
6. (判断题) D 触发器的特征方程 $Q_{n+1}=D$, 而与 Q_n 无关, 所以, D 触发器不是时序电路。 ()
7. 试分析图题所示的电路, 画出它的状态图, 说明它是几进制计数器。



8. 试用 D 触发器设计一个各相频率相同的三相脉冲发生器, 三相脉冲 Q_1 、 Q_2 、 Q_3 如图所示。要求:
- (1) 画出电路的状态转换图;
 - (2) 列出其状态方程和驱动方程;
 - (3) 画出逻辑电路图;
 - (4) 判断所设计的电路能否自启动。



- 9 时序电路如图所示, 三个触发器的 K 端状态均为 1。试分析其功能设初态 $Q_2Q_1Q_0=011$ 。1) 写出电路的驱动方程、状态方程; 2) 列出状态转换表; 3) 分析逻辑功能; 4) 画出状态图; 5) 检查能否自启动。



课件例题

第六章 脉冲波形的产生和整形

- 1. 一个多谐振荡器中石英晶体谐振器的标称频率是 6MHz，电容为 30pF，该电路输出信号的频率为_____。
 - 2. 为了实现高的频率稳定度，常采用（ ）振荡器；单稳态触发器受到外触发时进入（ ）态。
 - 3. 试说明单稳态触发器的工作特点和主要用途。
 - 4. 试用图 555 定时器为核心元件构成一个鉴幅器，实现图 3.1 所示的功能。已知电源电压为 7V，画出电路的接线图，并标明有关的参数，视需要可添加其它元器件。
- 555 定时器的功能表如下：

4 脚	6 脚	2 脚	3 脚	7 脚 T _D
0	i	i	低	导通
1	$>2/3V_{CC}$	$>1/3V_{CC}$	低	导通
1	$<2/3V_{CC}$	$>1/3V_{CC}$	不变	不变
1	$<2/3V_{CC}$	$<1/3V_{CC}$	高	截止
1	$>2/3V_{CC}$	$<1/3V_{CC}$	高	

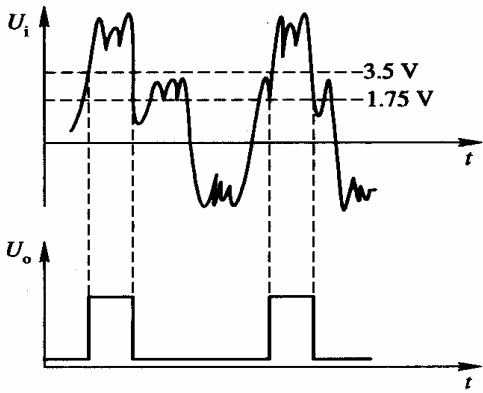
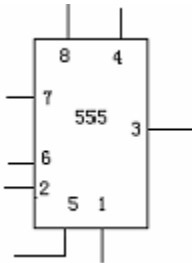


图 3.1

课件例题

第七章 半导体存储器

- 1. 若用 EPROM 设计一个数码转换电路，将 9 位二进制数转换成等值的 8421BCD 码，则 EPROM 的存储容量应为_____。
 - 2. 上题中。若选择 256×4 的 EPROM，则需要_____片。
 - 3. 一个存储容量为 8K ×1 的 EPROM 芯片地址输入端的个数是（ ）
A. 8 D. 10 C. 13 D. 18
 - 4. 说明 ROM 与 RAM 的异同点。
- 补充题

第八章

1. 列举 4 种可编程逻辑器件的名称（可用英文缩写）

_____、_____、_____、_____。

第九章 DAC 和 ADC

1. A/D 转换器输入满量程的模拟电压为 10V，要达到 10 毫伏的分辨率，A/D 转换器的位数应为_____。

2. 上题中，当输入模拟电压为 6.5V 时，输出数字量是_____。

3. 设四位 D/A 转换器的满量程电压为 30V，则输入的数字量为 1010 时的模拟电压为()

A. 1V B. 2V C. 15 V D. 20V

4. 若 A, D 转换器(包括取样-保持电路)输入模拟电压的最高变化频率为 20KHz，则取样脉冲频率的下限为()

A. 20 KHz B. 10 KHz C. 40 KHz D. 30 KHz

8.

5. 10 位双积分型 ADC, 设时钟周期为 5 μ S, 则完成一次转换的时间最长需要()
 μ S

A. 50 B. 5120 C. 60 D. 10240

综合应用题

分析下图所示的电路，其中，74161 为 4 位二进制加法计数器，计数器的初态为 $Q_3Q_2Q_1Q_0 = 1111$ 。74161 功能表如下表所示，数据选择器的逻辑表达式为：

$$Y = [D_0(\overline{A_1}\overline{A_0}) + D_1(\overline{A_1}A_0) + D_2(A_1\overline{A_0}) + D_3(A_1A_0)]S$$

要求：(1) 画出计数器的状态转换表或状态转换图；

(2) 列出在 CP 作用下输出 Z 的状态转换表；

74161 的功能表

CP	\overline{RD}	\overline{LD}	$E_P E_T$	$Q_3Q_2Q_1Q_0$
i	0	i	i i	0 0 0 0
\uparrow	1	0	i i	$D_3D_2D_1D_0$
i	1	1	0 1	保持
i	1	1	i 0	保持 (C=0)
\uparrow	1	1	1 1	二进制加计数

