

1. 完整的计算机系统应包括 ( )。
  - A. 运算器、存储器、控制器;
  - B. 外部设备和主机;
  - C. 主机和实用程序
  - D. 配套的硬件设备和软件系统。
2. 补码加减法是指 ( )。
  - A. 操作数用补码表示, 两数尾数相加减, 符号位单独处理, 减法用加法代替;
  - B. 操作数用补码表示, 符号位与尾数一起参加运算, 结果的符号与加减相同;
  - C. 操作数用补码表示, 连同符号位直接相加减, 减某数用加负某数的补码代替, 结果的符号在运算中形成;
  - D. 操作数用补码表示, 由数符决定两尾数的操作, 符号位单独处理。
3. 采用虚拟存储器的主要目的是 ( )。
  - A. 提高主存储器的存取速度;
  - B. 扩大主存储器的存储空间, 并能进行自动管理和调度;
  - C. 提高外存储器的存取速度;
  - D. 扩大外存储器的存储空间。
4. 在 CPU 中指向下条指令地址的寄存器是 ( )。
  - A. 主存地址寄存器      B. 程序计数器
  - C. 指令寄存器          D. 状态寄存器
5. 根据 CPU 在程序执行期间能同时出现指令流和数据流的数目, 可对中央处理器的并行性做出如下四种分类。冯·诺依曼计算机是属于 ( )。
  - A. 单指令流单数据流 (SISD);
  - B. 单指令流多数据流 (SIMD);
  - C. 多指令流单数据流 (MISD);
  - D. 多指令流多数据流 (MIMD)。
6. 请从下面定点补码一位乘法 (Booth 法) 器的描述中选出描述正确的句子 ( )。
  - A. 被乘数的符号和乘数的符号都参加运算;
  - B. 乘数寄存器必须是有右移功能的移位寄存器, 并设一附加位, 其初始状态为 “1”;
  - C. 对 N 位的数相乘, 要求 N 次部分积, 并且最后一次不执行右移操作;
  - D. 根据乘数最低位判别计算部分积时是否加被乘数后右移。
7. 在 CPU 中指向下条指令地址的寄存器是 ( )。
  - A. 主存地址寄存器      B. 程序计数器
  - C. 指令寄存器          D. 状态寄存器
8. 在定点二进制运算器中, 减法运算一般通过 ( ) 来实现。
  - A. 原码运算的二进制减法器;
  - B. 补码运算的二进制减法器;
  - C. 补码运算的十进制加法器;
  - D. 补码运算的二进制加法器。
9. 冯·诺依曼 (Von Neumann) 机工作方法的基本特点是 ( )
  - A. 多指令流单数据流;

- B. 按地址访问并顺序执行指令;
  - C. 堆栈操作;
  - D. 存贮器按内容选择地址。
10. 从下列叙述中选出正确说法 ( )
- A. 微处理器就是一台微机
  - B. 微处理器为微机系统
  - C. 微处理器就是主机
  - D. 微处理器可以作微机的 CPU。
11. 表示浮点数时, 若要求机器零 (即尾数为零, 阶码为最小的数) 在计算机中表示为全 0 , 则阶码应使用 ( )
- A. 原码
  - B. 反码
  - C. 补码
  - D. 移码
12. 存储器是计算机系统记忆设备, 它主要用来 ( )。
- A. 存放数据
  - B. 存放程序
  - C. 存放数据和程序
  - D. 存放微程序
- 在定点二进制运算器中, 减法运算一般通过 ( ) 来实现。
- E. 原码运算的二进制减法器;
  - F. 补码运算的二进制减法器;
  - G. 补码运算的十进制加法器;
  - H. 补码运算的二进制加法器。
13. 冯·诺依曼 (Von Neumann) 机工作方法的基本特点是 ( )
- E. 多指令流单数据流;
  - F. 按地址访问并顺序执行指令;
  - G. 堆栈操作;
  - H. 存贮器按内容选择地址。
14. 在虚拟存贮器中, 当程序正在执行时, 由 ( ) 完成地址影射。
- A. 程序员;
  - B. 编译器;
  - C. 装入程序;
  - D. 操作系统。
15. 零地址运算指令在指令格式中不给出操作数地址, 因此它的操作数来自 ( )。
- A. 立即数和栈顶;
  - B. 栈顶和次栈顶;
  - C. 暂存器和栈顶;
  - D. 寄存器和内存单元。
16. 微程序控制器中, 机器指令与微指令的关系是 ( )。
- A. 每一条机器指令由一条微指令来执行;
  - B. 每一条机器指令由一段用微指令编成的微程序来解释执行;
  - C. 一段机器指令组成的程序可由一条微指令来执行;
  - D. 一条微指令由若干条机器指令组成。

## 二. 填空题

1. 设十进制数 $X=510.75 \times 2^{-11}$ ，用 18 个二进制位来表示它的浮点数，阶码用 5 位，其中阶符用 2 位；尾数用 13 位，其中符号用 2 位。
  - (1) 用二进制表示的  $X=$ \_\_\_\_\_
  - (2) 阶码用补码表示，尾数用原码表示的  $X$  的规格化机器数为：  
阶码\_\_\_\_\_尾数\_\_\_\_\_
  - (3) 阶码用移码表示，尾数用补码表示的  $X$  的规格化机器数为：  
阶码\_\_\_\_\_尾数\_\_\_\_\_。
2. 设一循环冗余校验码 (CRC) 中有 4 个信息位和 3 位校验位，该 CRC 码的生成多项式为  $x^3+x+1$ ，若 4 位信息位为 1101，则生成的循环校验码为\_\_\_\_\_。
3. 海明校验的方法能自动校正\_\_\_\_\_位错。
4. Am2901 组成 16 位定点运算器，需要\_\_\_\_\_片 Am2901 和\_\_\_\_\_片 Am2902，运算器的命令码  $I_0-I_8$  是来自\_\_\_\_\_。
5. 某机定点整数格式字长 8 位（包含以为一位符号位），当  $x$  采用原码表示时  $[x]_{\text{原}}$  的最大正数值是\_\_\_\_\_，最小负数值是\_\_\_\_\_。若采用补码表示，则  $[x]_{\text{补}}$  的最大正数是\_\_\_\_\_，最小负数是\_\_\_\_\_。用十进制真值形式填写。
6. 动态半导体存储器的刷新一般有\_\_\_\_\_、\_\_\_\_\_二种方式，之所以刷新是因为\_\_\_\_\_。
7. 若用规格为  $16K \times 4$  位的存储芯片，组成一个  $512K \times 8$  位的存储体，则需要片芯片。该存储体的地址寄存器至少需\_\_\_\_\_位，数据寄存器为\_\_\_\_\_位。
8. CPU 从主存取出一条指令并执行该指令的时间叫做\_\_\_\_\_，它常常用若干个\_\_\_\_\_来表示，而后者又包含有若干个\_\_\_\_\_。
9. 在微程序控制的计算机中，将由同时发出的控制信号所执行的一组微操作称\_\_\_\_\_，执行一条机器指令实际上就是执行一段存放在\_\_\_\_\_中的微程序。
10. 广泛使用的\_\_\_\_\_和\_\_\_\_\_都是半导体\_\_\_\_\_存储器。前者的速度比后者快，但\_\_\_\_\_不如后者高，它们的共同缺点是断电后\_\_\_\_\_保存信息。
11. 动态 RAM 是由\_\_\_\_\_储存信息，动态 RAM2118 为  $16K \times 1$  位容量，它的地址线为\_\_\_\_\_根。如果每隔 15 微秒刷新一行，则该芯片的刷新周期为\_\_\_\_\_。
12. 在微程序控制器中，每条指令的微程序的入口地址来自\_\_\_\_\_，Am2910 的主要功能是\_\_\_\_\_。
13. 移码常用来表示浮点数\_\_\_\_\_部分，移码和补码除符号位外，其他各位\_\_\_\_\_。
14. 字符码 1001011 的奇校验码是\_\_\_\_\_。海明校验的方法能自动校正位错。
- 15 指令周期是指\_\_\_\_\_。
16. 设一循环冗余校验码 (CRC) 中有 4 个信息位和 3 位校验位，该 CRC 码的生成多项式为  $x^3 + x + 1$ ，若 4 位信息位为 0100，则生成的校验码为\_\_\_\_\_。

为\_\_\_\_\_。

17. CPU 从主存取出一条指令并执行该指令的时间叫做\_\_\_\_\_, 它常常用若干个\_\_\_\_\_来表示, 而后者又包含有若干个\_\_\_\_\_。

18. 微指令格式中微操作码字段共 10 位, 若采用完全水平型微指令, 则一条微指令最多可同时启动\_\_\_\_\_个微操作; 若采用完全垂直型微指令, 定义 7 种微操作, 则微操作码字段最少需要\_\_\_\_\_位。

19. 在微程序控制的计算机中, 将由同时发出的控制信号所执行的一组微操作称\_\_\_\_\_, 执行一条指令实际上就是执行一段存放在\_\_\_\_\_中的微程序。

20. 某机定点整数格式字长 8 位 (包含以为一位符号位), 当  $x$  采用原码表示时  $[x]_{\text{原}}$  的最大正数值是\_\_\_\_\_, 最小负数值是\_\_\_\_\_。若采用补码表示, 则  $[x]_{\text{补}}$  的最大正数是\_\_\_\_\_, 最小负数是\_\_\_\_\_。用十进制真值形式填写。

21. 定点补码一位乘法有\_\_\_\_\_两种方法, 其中一种需要区分乘数的符号, 其计算方法为\_\_\_\_\_。

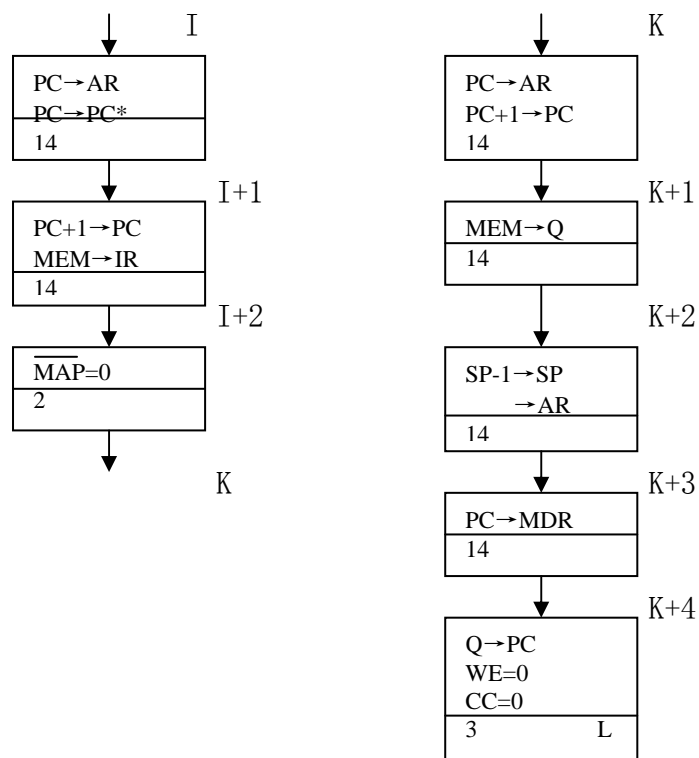
### 三. 简答题

1. 全加器可由异或门及进位逻辑电路组成, 根据  $\overline{A} \oplus \overline{B} = A \oplus B$ , 于是可以设计利用原变量或反变量进行运算的加法器。进而可以推测, 对已设计好的加法器, 用原变量运算和反变量运算都是一样的。这种说法对不对? 为什么?
2. 说明机器指令与微指令的关系。
3. 设有一 4 体交叉存储器, 但使用时经常遇到连续访问同一存储体的情况, 会产生怎样的结果?
4. 微程序控制器 AM2910 三个使能信号  $\overline{PL}$ ,  $\overline{MAP}$ ,  $\overline{VECT}$ , 各起什么作用?
5. 存储系统为什么由主存储器、辅助存储器和高速缓冲存储器 Cache 组成?
6. 半导体 DRAM 和 SRAM 的主要差别是什么? 为什么 DRAM 芯片的地址一般要分两次接收?
7. 简述微程序控制的控制器和硬布线控制的控制器的差异及优缺点。
8. 设有一 4 体交叉存储器, 但使用时经常遇到连续访问同一存储体的情况, 会产生怎样的结果?
9. CPU 如何识别从主存取出的信息是指令还是数据?
10. 试述海明校验码的基本原理。
11. 哪些因素影响总线频带宽度?

### 四. 分析、计算和设计题

1. 某程序对页面要求的序列为  $P_3P_4P_2P_6P_4P_3P_7P_4P_3P_6P_3P_4P_8P_4P_6$ 。设主存容量为 4 个页面, 求 FIFO 和 LRU 替换算法是各自的命中率?
2. 已知  $X=0.1011$ ,  $Y=0.1101$ , 用原码加减交替法计算  $X \div Y=?$ 。要求列出运算过程的每一步算式, 注明中间结果和最后结果, 并给出商和余数的真值。
3. 已知  $[X]_{\text{补}}=00.1101$ ,  $[Y]_{\text{补}}=11.0110$ , 用比较法补码相乘计算  $[X]_{\text{补}} \times [Y]_{\text{补}}$ 。要求列出运算过程的每一步算式, 注明中间结果和最后结果。

4. Am2900 系统模型机的某条机器指令的微程序流程图如下所示。
- (1) 说出该流程图执行了一条什么指令？（写出指令汇编符号）
- (2) 说明各条微指令的含义。



5. 某机器中, 已知道有一个地址空间为 0000H—1FFFH 的 ROM 区域, 现在再用 RAM 芯片 (8K×4) 形成一个 16K×8 的 RAM 区域, 起始地址为 2000H, 假设 RAM 芯片有 CS 和 WE 信号控制端。CPU 地址总线为 A15—A0, 数据总线为 D7—D0, 控制信号为 R/W(读/写), MREQ(低电平有效, 允许访存), 试画出主存储器与 CPU 连接的逻辑框图。

6. 已知 7 位海明码为  $d_6d_5d_4d_3d_2d_1d_0$ , 其三个校验和  $S_2, S_1, S_0$  所组成的二进制数  $S_2S_1S_0$  的取值与错码位的对应表如下:

$S_2S_1$	000	001	010	011	100	101	110	111
$S_0$								
错码位	无错	$d_0$	$d_2$	$d_6$	$d_1$	$d_5$	$d_3$	$d_4$

- (1) 写出三个校验和  $S_2, S_1, S_0$  的公式;
- (2) 在最多有一位错的情况下, 若读出端读到的码字为 1011100 和 1001001, 则发送的原码字分别是多少?
7. 某条加法指令实现把用绝对地址表示的内存单元 ADDR1 的内容与内存单元 ADDR2 的内容相减, 结果存到 ADDR2 单元中, 指令格式如下:

D4XX
ADDR1
ADDR2

功能:  $[ADDR1] - [ADDR2] \rightarrow [ADDR2]$ ; 原理性地说明在 TEC-2 机器上实现该机器指令需要多少条微指令 (不含取指微指令)? 每条微指令的主要功能是什么?